

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 12 月 18 日 (18.12.2003)

PCT

(10) 国際公開番号
WO 03/105226 A1

- (51) 国際特許分類⁷: H01L 23/50
- (21) 国際出願番号: PCT/JP03/06151
- (22) 国際出願日: 2003 年 5 月 16 日 (16.05.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-163743 2002 年 6 月 5 日 (05.06.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社
ルネサステクノロジ (RENESAS TECHNOLOGY

CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内
二丁目4番1号 Tokyo (JP). 株式会社日立超エル・エ
ス・アイ・システムズ (HITACHI ULSI SYSTEMS
CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本
町5丁目2番1号 Tokyo (JP).

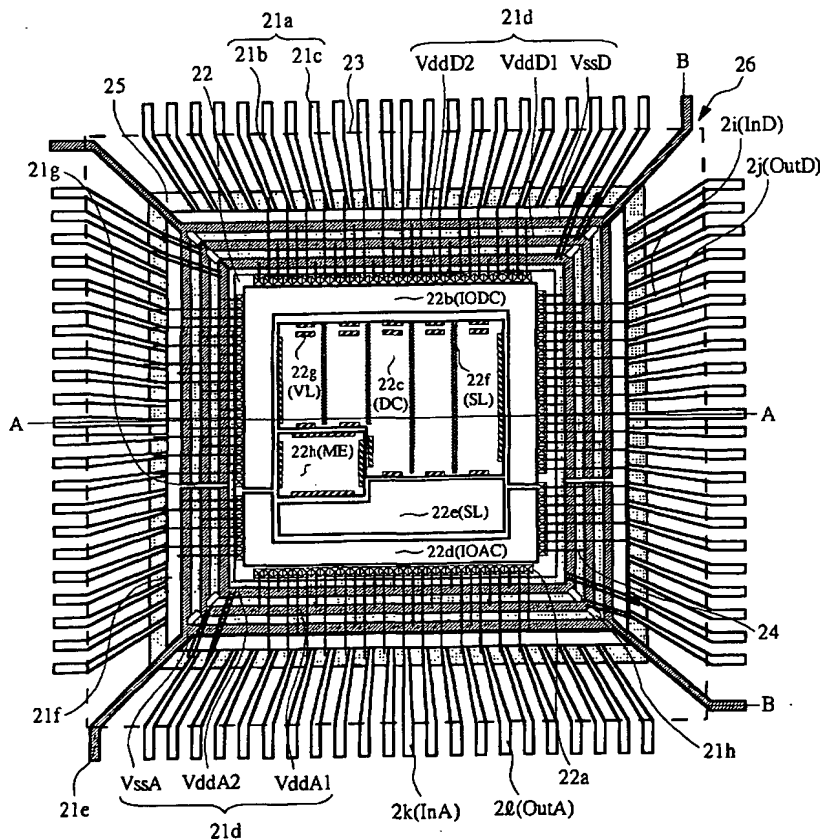
(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 佐々木 敏夫
(SASAKI, Toshio) [JP/JP]; 〒187-8588 東京都小平市上
水本町五丁目2番1号 株式会社日立製作所 半導体
グループ内 Tokyo (JP). 伊藤 富士夫 (ITO, Fujio) [JP/JP];
〒187-8522 東京都小平市上水本町5丁目2番1号
株式会社日立超エル・エス・アイ・システムズ内
Tokyo (JP). 鈴木 博通 (SUZUKI, Hiromichi) [JP/JP]; 〒
187-8588 東京都小平市上水本町五丁目2番1号
株式会社日立製作所 半導体グループ内 Tokyo (JP).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置





(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒160-0023 東京都 新宿区 西新宿 8 丁目 1 番 1 号 アゼリアビル
3 階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置

5 技術分野

本発明は、バスバーまたはリング状バスバーを利用した半導体装置に関し、特に、半導体チップのレイアウトとバスバーまたはリング状バスバーとの配置に関する。

10 背景技術

多層配線基板を使用したBGA (Ball Grid Array)型半導体装置については、例えば、特開2002-190488号公報や特開2002-270723号公報にその記載があり、従来100ピン以上の多ピン半導体装置として採用されてきたが、微細加工を施した多層配線基板はコストが高く、トータルコストパフォーマンスが低かった。

また、単層の配線を有するテープ配線基板を使用したCSP (Chip Size Package)型半導体装置については、例えば、特開平11-54658号公報にその記載があり、従来チップサイズとほぼ同等の小型の半導体装置として採用されてきたが、電源/GNDなどのための共通電極を形成することが困難な構成であるために、半導体チップの電極の数に応じて外部端子が多くなるという問題があった。したがって、チップ電極数の増加と、多ピン化に伴うパッケージ外形の大型化がトレードオフの関係にあり、チップ電極数に対する制約が大きく、トータルコストパフォーマンスが低かった。

これら従来のBGA/CSPと比較して、トータルコストパフォーマンスが優れた半導体装置の構造について発明者は検討した。

また、本出願人は、発明した結果に基づいて第1の観点「複数のリードの先端が繋がっている」、第2の観点「複数のリードとチップとの間に、電源またはGNDに接続するバーを設ける」という観点で調査した。その結果、第1の観点では特開平9-252072号公報（第20段落、図8、図9）、第2の観点では

特開平 1 1 - 1 6 8 1 6 9 号公報（第 6 1 段落、図 3）があった。しかしながらこれらの文献では、現在 I C（Integrated Circuit）の高機能化に伴う外部端子の多ピン化には B G A，C S P が適していると言われていたが、それを低コスト高品質で多ピンに対応するという本願が課題としていたところの検討がなされて

5 いなかった。また、内部電源電圧の引き回し配線の電源ドロップ問題とパッケージの組み合わせに関する検討もなされていない。

本発明の目的は、コストパフォーマンスを高くする半導体装置を提供することにある。

また、本発明のその他の目的は、小型化を図る半導体装置を提供することにある。

10

また、本発明のその他の目的は、製品出荷までにかかる時間（T A T : T u r n A r o u n d T i m e）を短くする半導体装置を提供することにある。

また、本発明のその他の目的は、多ピン化を図る半導体装置を提供することにある。

15 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

発明の開示

本発明は、主面、裏面と、前記主面上に形成された複数の電極を有する半導体

20 チップと、前記半導体チップの周囲に配列された複数のインナリードと、前記複数のインナリードのそれぞれに一体に形成された複数のアウトリードと、前記複数の電極および複数のインナリードのそれぞれと接続する複数のボンディングワイヤと、前記半導体チップ、複数のインナリード、複数のボンディングワイヤを封止する樹脂封止体とを有するものであり、前記複数のインナリードと前記複数の

25 のボンディングワイヤが接続する部分は千鳥状に配置されており、前記複数のインナリードと前記複数のボンディングワイヤが接続する部分は、前記樹脂封止体の内部に封止された基板上に接着層を介して固定されている。

また、本発明は、第 1 電位と第 2 電位との間に電流経路を有するトランジスタを含んで構成される第 1 回路部と、第 3 電位と第 4 電位との間に電流経路を有す

るトランジスタを含んで構成される第2回路部と、前記第1回路部へ前記第1電位を供給する第1パッドと、前記第1回路部へ前記第2電位を供給する第2パッドと、前記第2回路部へ前記第3電位を供給する第3パッドと、前記第2回路部へ前記第4電位を供給する第4パッドと、前記第1及び第2回路部を含むチップと、複数のインナーリードとの間に配置され、前記第1回路部へ前記第1電位を供給する第1リードとを有するものである。

図面の簡単な説明

図1は本発明の実施の形態1の半導体装置（QFP）において最小サイズのチップ搭載構造の一例を示す断面図、図2はQFPにおける最大サイズのチップ搭載構造の一例を示す断面図、図3～図6はそれぞれ本発明の実施の形態1の変形例のQFPの構造を示す断面図、図7は図1に示すQFPの組み立てに用いられるリードフレームのフレーム体の構造の一例を示す部分平面図、図8は図7に示すフレーム体の裏面図、図9は図7に示すフレーム体にテープ部材を貼り付けて製造されたリードフレームの構造を示す部分平面図、図10は図9に示すリードフレームの裏面図、図11は図9に示すリードフレームの第1の連結部切断後の構造を示す部分平面図、図12は図11に示すリードフレームの裏面図、図13は図9に示すリードフレームの第2の連結部切断後の構造を示す部分平面図、図14は図13に示すリードフレームの裏面図、図15は図13に示すリードフレームの搭載可能最小チップサイズと最大チップサイズを示す部分平面図、図16は図13に示すリードフレームに最小サイズの半導体チップを搭載した際のワイヤボンディング後の構造の一例を示す部分平面図、図17は図13に示すリードフレームに最大サイズの半導体チップを搭載した際のワイヤボンディング後の構造の一例を示す部分平面図、図18は本発明の実施の形態1の変形例のリードフレームのフレーム体の構造を示す部分平面図、図19は図18に示すフレーム体の裏面図、図20は図18に示すフレーム体にテープ部材を貼り付けて製造されたリードフレームの構造を示す部分平面図、図21は図20に示すリードフレームの裏面図、図22は図20に示すリードフレームの第1の連結部切断後の構造を示す部分平面図、図23は図22に示すリードフレームの裏面図、図24は図

20に示すリードフレームの第2の連結部切断後の構造を示す部分平面図、図25は図24に示すリードフレームの裏面図、図26は図24に示すリードフレームの搭載可能最小チップサイズと最大チップサイズを示す部分平面図、図27は図24に示すリードフレームに最小サイズの半導体チップを搭載した際のワイヤボンディング後の構造の一例を示す部分平面図、図28は図24に示すリードフレームに最大サイズの半導体チップを搭載した際のワイヤボンディング後の構造の一例を示す部分平面図、図29は本発明の実施の形態1の変形例のリードフレームのフレーム体の構造を示す部分平面図、図30は図29に示すフレーム体にテープ部材を貼り付けて製造されたリードフレームの構造を示す部分裏面図、図31は図30に示すリードフレームの第1の連結部切断後の構造を示す部分裏面図、図32は図13に示すリードフレームを製造する際のパンチを用いた打ち抜き方法の一例を示す部分側面図、図33は図32に示す打ち抜き後のコイニング方法の一例を示す部分側面図、図34は本発明の実施の形態1の変形例のリードフレームの構造を示す部分断面図、図35は本発明の実施の形態2の半導体装置（QFP）において最小サイズのチップ搭載構造の一例を示す断面図、図36は本発明の実施の形態2の半導体装置（QFP）において最大サイズのチップ搭載構造の一例を示す断面図、図37は本発明の実施の形態2の変形例のQFPの構造を示す断面図、図38は図35に示すQFPの組み立てに用いられるリードフレームのフレーム体の構造の一例を示す部分平面図、図39は図38に示すフレーム体の裏面図、図40は図38に示すフレーム体にテープ部材を貼り付けて製造されたリードフレームの構造を示す部分平面図、図41は図40に示すリードフレームの裏面図、図42は図40に示すリードフレームにおける連結部切断後の構造を示す部分平面図、図43は図42に示すリードフレームの裏面図、図44は図42に示すリードフレームの搭載可能最小チップサイズと最大チップサイズを示す部分平面図、図45は図42に示すリードフレームに最小サイズの半導体チップを搭載した際のワイヤボンディング後の構造の一例を示す部分平面図、図46は図42に示すリードフレームに最大サイズの半導体チップを搭載した際のワイヤボンディング後の構造の一例を示す部分平面図、図47、図48および図49はそれぞれ本発明の実施の形態2における変形例のリードフレームの構造

を示す部分平面図、図 5 0 は図 4 9 に示すリードフレームのワイヤボンディング状態の一例を示す部分平面図、図 5 1 は本発明の実施の形態 2 における変形例のリードフレームの構造を示す部分平面図、図 5 2 は図 5 1 に示すリードフレームを用いた際の結線状態の一例を示す結線対応図、図 5 3 は本発明の他の実施の形態の半導体装置 (Q F N) の構造の一例を示す断面図、図 5 4 は本発明の実施の形態 2 の変形例の Q F P の構造を示す断面図、図 5 5 は図 5 4 に示す Q F P のワイヤリング状態の一例を示す拡大部分平面図、図 5 6 はデジタル回路部とアナログ回路部とでバスバーを分離したレイアウト図、図 5 7 は図 5 6 の半導体装置の A—A 断面図、図 5 8 は図 5 6 の半導体装置の B—B 断面図、図 5 9 は図 5 6 のデジタル・アナログ混在回路の回路図、図 6 0 は本発明を Q F N に適用した場合のレイアウト図、図 6 1 は本発明を Q F N に適用した場合の図 5 6 の A—A 断面図、図 6 2 はデジタル回路とアナログ回路とでバスバーを分離した別のレイアウト図、図 6 3 はアナログ回路を 1 電源系、デジタル回路を 2 電源系に分離したレイアウト図、図 6 4 はデジタル回路の電源はバスバーへ、アナログ回路はインナーリードへ接続したレイアウト図、図 6 5 はデジタル回路を二つの電源回路部に分離してレイアウトした図、図 6 6 は図 6 5 の回路図、図 6 7 は図 5 6 のパッドを千鳥状に配置し、インナーリード及びバスバーへ千鳥状にワイヤボンディングした図、図 6 8 は図 6 7 の変形例、図 6 9 は図 6 8 の A—A 断面図、図 7 0 は I O パッドと電源パッドを交互に配置した平面図、図 7 1 はワイヤボンディングにより内部降圧回路を選択可能とした回路において、内部降圧回路を使用する場合のワイヤボンディングを示した部分平面図、図 7 2 はワイヤボンディングにより内部降圧回路を選択可能とした回路において、内部降圧回路を使用しない場合のワイヤボンディングを示した部分平面図、図 7 3 は内部降圧回路を選択可能とした回路図、図 7 4 は引き出し配線によりチップ周辺のパッドと内部回路を接続した場合、チップの中央付近にパッドを設けた場合、及びチップ中央付近のパッド、チップ端部のパッド、バスバーを二段階でワイヤボンディングした場合のレイアウト図、図 7 5 は本発明の実施の形態 9 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図、図 7 6 は図 7 5 に示す半導体装置に用いられるリードフレームの構造の一例を示す平面図、図 7 7 は本発明の実施の形

態 10 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図、図 78 は図 77 に示す半導体装置に用いられるリードフレームの構造の一例を示す平面図、図 79 は本発明の実施の形態 11 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図、図 80 は本発明の実施の形態 12 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図および電源降下図、図 81 は図 80 に示す半導体装置に用いられるリードフレームの構造の一例を示す平面図、図 82 は図 80 に示す半導体装置におけるチップ内回路とバスバーの結線状態の一例を示す拡大部分平面図、図 83 は本発明の実施の形態 13 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図および電源降下図、図 84 は図 83 に示す半導体装置に用いられるリードフレームの構造の一例を示す平面図、図 85 は本発明の実施の形態 14 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図および電源降下図、図 86 は本発明の実施の形態 15 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図および電源降下図、図 87 は本発明の実施の形態 16 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図、図 88 は本発明の実施の形態 17 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図、図 89 は本発明の実施の形態 18 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図および電源降下図、図 90 は図 89 に示す半導体装置におけるチップ内回路とバスバーの結線状態の一例を示す拡大部分平面図、図 91 は本発明の実施の形態 19 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図および電源降下図、図 92 は本発明の実施の形態 20 の半導体装置におけるリードパターンと一部のワイヤリング状態を示す平面図である。

25 発明を実施するための最良の形態

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補

足説明などの関係にある。

また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合などを除き、その特定の数に限定されるものではなく、特定の数以上

5 でも以下でも良いものとする。

さらに、以下の実施の形態において、その構成要素（要素ステップなども含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合などを除き、必ずしも必須のものではないことは言うまでもない。

同様に、以下の実施の形態において、構成要素などの形状、位置関係などに言
10 及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合などを除き、実質的にその形状などに近似または類似するものなどを含むものとする。このことは前記数値および範囲についても同様である。

また、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。

15 （実施の形態 1）

本実施の形態 1 の半導体装置は、樹脂封止型で、かつリードフレーム 1 を用いて組み立てられたものであり、本実施の形態 1 ではこの半導体装置の一例として、比較的ピン数の多い Q F P（Quad Flat Package）6 を取り上げて説明する。

まず、図 1 に示す Q F P 6 の構成について説明すると、半導体チップ 2 の周囲
20 に延在する複数のインナリード 1 b と、半導体チップ 2 が搭載され、かつそれぞれのインナリード 1 b の先端部と接合されたテープ部材 5 と、半導体チップ 2 の主面 2 b に形成された表面電極であるパッド 2 a とこれに対応するインナリード 1 b とを電氣的に接続するボンディング用のワイヤ 4 と、半導体チップ 2 と複数のワイヤ 4 とテープ部材 5 とを樹脂封止して形成された封止部（樹脂封止体とも
25 いう）3 と、インナリード 1 b に連なり、かつ封止部 3 から 4 方向の外部に突出した外部端子である複数のアウトリード 1 c とからなり、このアウトリード 1 c が、ガルウィング状に曲げ加工されている。

さらに、Q F P 6 では、テープ部材 5 が各インナリード 1 b の主面であるワイヤ接続面 1 f に接合されており、インナリード 1 b の上側にテープ部材 5 が配置

されている。このテープ部材 5 は、インナリード 1 b 列に対応した形状のものであり、したがって、Q F P 6 では、テープ部材 5 が四角形を成している。

また、テープ部材 5 は、絶縁性のものであり、このテープ部材 5 に形成された接着層 5 a を介して各インナリード 1 b の先端部と接合している。接着層 5 a は、例えば、アクリル系の接着剤などから形成されている。

また、テープ部材 5 は、チップ搭載機能を有しており、半導体チップ 2 は各インナリード 1 b の先端部によって囲まれた領域のチップ支持面 5 b に銀ペースト 8 を介して固定されている。

したがって、テープ部材 5 におけるインナリード 1 b との接合面 5 c と反対側の面であるチップ支持面 5 b に銀ペースト 8 を介して半導体チップ 2 が搭載されている。

なお、複数のインナリード 1 b のうち、半導体チップ 2 の角部に対応した 4 つの角部それぞれには、図 1 4 に示すようなテープ部材 5 の中央付近まで延在するコーナリード 1 g が設けられている。すなわち、半導体チップ 2 の角部に対応した箇所には、半導体チップ 2 の各辺ごとに対応して第 1 の連結部 1 d で連結された複数のインナリード 1 b 群に隣接してコーナリード 1 g が配置されている。

したがって、テープ部材 5 は、この 4 本のコーナリード 1 g によっても支持されており、4 本のコーナリード 1 g 上にテープ部材 5 および銀ペースト 8 を介して半導体チップ 2 が搭載されている。

また、テープ部材 5 には、図 1 および図 1 4 に示すように、第 1 貫通孔 5 e と第 2 貫通孔 5 f とが形成されている。第 1 貫通孔 5 e は、各インナリード 1 b の先端部に隣接してインナリード 1 b の列方向に沿って形成されている。したがって、四角形のテープ部材 5 の各辺に対応して 4 つの第 1 貫通孔 5 e が形成されている。

一方、第 2 貫通孔 5 f は、Q F P 6 のほぼ中央付近に形成され、図 1 に示すように半導体チップ 2 の裏面 2 c に配置される。

また、各インナリード 1 b のワイヤ接続面 1 f には、その内側の先端部から外側に向かった領域に、金線などのワイヤ 4 を接続するための銀めっき 7 が被覆されている。したがって、銀めっき 7 は、テープ部材 5 より外側の領域まで被覆さ

れていなければならない、ワイヤボンディング可能な範囲まで被覆されている。

これにより、本実施の形態1のQFP6では、各インナリード1bのワイヤ接続面1fにおいて、テープ部材5の外側箇所銀めっき7が被覆された領域にワイヤ4が接続されている。

- 5 なお、QFP6では、テープ部材5上に種々の大きさの半導体チップ2を搭載することが可能であり、図15に示すような範囲で種々の大きさの半導体チップ2を搭載することができる。

そこで、図1が搭載可能な最小のサイズの半導体チップ2を搭載した場合であり、また、図2が搭載可能な最大のサイズの半導体チップ2を搭載した場合である。

10 このように、本実施の形態1のQFP6では、種々のサイズの半導体チップ2を搭載することが可能であり、図14に示すリードフレーム1の汎用性を高めている。

次に、図3～図6は、本実施の形態1の変形例のQFP6の構造を示すものである。

図3および図4は、図1のテープ部材5に換えてヒートスプレッド5dを設けた構造のQFP6を示すものであり、ヒートスプレッド5dを設けたことにより、放熱性を高めるものである。

20 なお、図3に示すQFP6では、ヒートスプレッド5dの表裏両面に接着層5aを設けてこの接着層5aを介してインナリード1bとヒートスプレッド5dとが接着されており、また、半導体チップ2は、銀ペースト8を介して固定されている。

これに対して、図4に示すQFP6では、銀ペースト8などのダイボンディング材を使用せず、ヒートスプレッド5dに設けられた接着層5aを介して半導体チップ2を固定している。すなわち、ヒートスプレッド5dの一方の面に設けられた接着層5aを介してインナリード1bとヒートスプレッド5dとが接着され、さらに、他方の面に設けられた接着層5aを介して半導体チップ2が固定されている。

また、図5は、各インナリード1bや各アウトナリード1cの切断面を除く表面

にパラジウムめっき 9 が被覆された Q F P 6 である。

また、図 6 は、図 2 に示す Q F P 6 において半導体チップ 2 がテープ部材 5 より
5 押し出して搭載されている構造を示すものである。すなわち、テープ部材 5 が
インナリード 1 b の上側に配置されているため、テープ部材 5 のさらに上に搭載
する半導体チップ 2 はテープ部材 5 より大きくても搭載可能となり、テープ部材
5 より主面 2 b の大きな半導体チップ 2 を搭載した構造を示すものである。

次に、本実施の形態 1 の Q F P 6 の製造方法を、それに用いられるリードフレ
ームの製造方法と合わせて説明する。

まず、図 7 に示すようなフレーム体 1 a を準備する。

10 このフレーム体 1 a は、薄板状の金属部材であり、搭載される半導体チップ 2
の패드 2 a 列に対応して配置された複数のインナリード 1 b と、これと一体に
形成された複数のアウトリード 1 c と、複数のインナリード 1 b の先端部を相互
に一体に連結する第 1 の連結部 1 d と、第 1 の連結部 1 d によって連結されたイン
ナリード 1 b を除き、かつ少なくとも Q F P 6 の角部に配置されたインナリー
15 ド 1 b (コーナリード 1 g) を含む他の複数のインナリード 1 b を相互に一体に
連結するとともに第 1 の連結部 1 d より内側に配置された第 2 の連結部 1 e とを
有している。

すなわち、複数のインナリード 1 b およびアウトリード 1 c に加えて、半導体
チップ 2 の 1 辺に対応した複数のインナリード 1 b の先端部を連結する第 1 の連
20 結部 1 d と、第 1 の連結部 1 d より内側のパッケージのほぼ中央において、角部
に配置された 4 本のインナリード 1 b であるコーナリード 1 g を連結する第 2 の
連結部 1 e とを有している。

なお、フレーム体 1 a は、例えば、銅などによって形成されており、各インナ
リード 1 b のワイヤ接続面 1 f においては、それぞれの先端部からワイヤ 4 との
25 接続が行われる箇所までの領域に銀めっき 7 が被覆されている。その際、第 1 の
連結部 1 d にも銀めっき 7 が被覆されている。

また、図 8 に示すように、フレーム体 1 a のワイヤ接続面 1 f と反対側の面 (こ
の面を以降、裏面 1 k という) には、図 7 に示すような銀めっき 7 は被覆され
ていない。

その後、図 9 に示すように、複数のインナリード 1 b のワイヤ接続面 1 f に対して、複数のインナリード 1 b の先端部、さらに第 1 の連結部 1 d および第 2 の連結部 1 e と、テープ部材 5 とを貼り付ける。

すなわち、インナリード 1 b のワイヤ接続面 1 f の先端部、第 1 の連結部 1 d
5 および第 2 の連結部 1 e にテープ部材 5 を貼り付ける。

その際、例えば、テープ部材 5 に予め設けられた接着層 5 a を介してフレーム体 1 a にテープ部材 5 を貼り付ける。なお、フレーム体 1 a をその裏面 1 k 側から眺めた構造が図 10 に示すものである。

その後、複数のインナリード 1 b の先端部に沿って第 1 の連結部 1 d を切断す
10 るとともに、第 2 の連結部 1 e を切断する。

このようにフレーム体 1 a にテープ部材 5 を貼り付けた後に各インナリード 1 b の先端の切断を行うことにより、リードフレームの製造工程において、リード先端が曲がってリードピッチがずれてワイヤボンディングに悪影響を及ぼし、その結果、リードフレーム製造工程での歩留りが低下するという不具合の発生を防
15 ぐことができる。

なお、第 1 の連結部 1 d に係わる切断と第 2 の連結部 1 e に係わる切断とを分けて行う。ここでは、図 11 に示すように、まず、図 10 に示す第 1 の連結部 1 d を切断し、この第 1 の連結部 1 d をフレーム体 1 a から除去して 4 つの第 1 貫通孔 5 e を形成することによって、図 12 に示すようにそれぞれのインナリード
20 1 b の先端部での独立化を図る。

続いて、図 13 に示すように、図 12 に示す第 2 の連結部 1 e を切断し、この第 2 の連結部 1 e をフレーム体 1 a から除去して第 2 貫通孔 5 f を形成することによって、図 14 に示すようにそれぞれのコーナリード 1 g の独立化を図る。

なお、第 1 の連結部 1 d と第 2 の連結部 1 e の切断については、第 2 の連結部
25 1 e を先に切断して除去し、その後、第 1 の連結部 1 d の切断を行ってもよく、あるいは第 1 の連結部 1 d と第 2 の連結部 1 e との切断を同時に行ってもよい。同時に行うことにより、効率よく切断することができる。

本実施の形態 1 のリードフレーム 1 では、4 つの角部に配置されたコーナリード 1 g がテープ部材 5 の中央近くまで延在しているため、テープ吊り部 5 g の強

度を高めることができるとともに、テープ部材 5 全体の剛性を高めることができる。これにより、第 2 の連結部 1 e の切断時などにおけるテープ部材 5 のうねりの発生を防ぐことができ、リードフレーム 1 の製造における歩留り向上を図ることができる。

- 5 これにより、テープ部材 5 の素材が柔らかなものであっても歩留りを低下させることなくリードフレーム 1 の製造を行うことができる。

その後、テープ部材 5 のインナリード 1 b との接合面 5 c と反対側の面に半導体チップ 2 を搭載するダイボンディングを行う。

- 10 その際、図 1 あるいは図 2 に示すように、例えば、テープ部材 5 上に銀ペースト 8 を塗布し、この銀ペースト 8 によって半導体チップ 2 を固定する。

その後、半導体チップ 2 のパッド 2 a とこれに対応するインナリード 1 b とをワイヤ 4 によって接続するワイヤボンディングを行う。

- 15 ここでは、ワイヤ 4 とインナリード 1 b とのワイヤ接続すなわち 2 n d ボンディングにおいて、図 1 に示すようにインナリード 1 b のワイヤ接続面 1 f のテープ部材 5 の外側箇所の銀めっき 7 形成箇所とワイヤ 4 とを接続する。

その際、本実施の形態 1 の半導体装置の製造方法では、各インナリード 1 b のワイヤ接続面 1 f 側にテープ部材 5 が貼り付けられており、各インナリード 1 b の上側にテープ部材 5 が配置されているため、ワイヤボンディング時に各インナリード 1 b をボンディングステージ上に直接配置することができる。

- 20 これにより、ワイヤボンディングの際に超音波や熱を各インナリード 1 b に対して十分に付与することができる。

その結果、2 n d ボンディングを確実に行うことができ、2 n d ボンディングの不良の発生を低減できる。

これにより、QFP 6 の製造における歩留りを向上できる。

- 25 なお、各インナリード 1 b をボンディングステージ上に直接配置して 2 n d ボンディングを確実に行うことができるため、テープ部材 5 に、比較的柔らかなアクリル系、ポリイミド系、エポキシ系、ゴム系等の接着材などの接着層 5 a が形成されていてもよく、この場合であっても 2 n d ボンディングを確実に行うことができる。アクリル系接着材は、安価であるため、リードフレーム 1 のコストを

低減できる。

ワイヤボンディング終了後、半導体チップ2および複数のワイヤ4を封止用樹脂を用いて樹脂封止して封止部3を形成する。

その後、複数のアウトリード1cそれぞれを切断してリードフレーム1から分離するとともに、アウトリード1cを曲げ成形してQFP6の組み立てを終了する。

なお、図15は、図13に示すリードフレーム1における最小チップ搭載エリア17と最大チップ搭載エリア18を示したものであり、さらに、図16は最小の半導体チップ2を搭載してワイヤボンディングを行った構造を示しており、図17は最大の半導体チップ2を搭載してワイヤボンディングを行った構造を示している。

このように本実施の形態1で用いられるリードフレーム1は、種々の大きさの半導体チップ2が搭載可能であり、リードフレーム1の汎用性を高めることが可能である。

また、インナリード1bの上側にテープ部材5が配置されるため、図6のQFP6に示すように、テープ部材5より迫り出させて、テープ部材5よりも大きな半導体チップ2を搭載することも可能となり、さらにリードフレーム1の汎用性を高めることができる。

次に、図18～図25に示す本実施の形態1の変形例のリードフレームの製造方法について説明する。

図18、図19は変形例のフレーム体1aを示すものであり、第2の連結部1eによって連結されるインナリード1bの数を8本に増やしたものである。角部に配置された4本のインナリード1b（コーナリード1g）に加えて、これらとそれぞれ45°θ回転した位置の4本のインナリード1bを連結しているものであり、合計8本のインナリード1bが第2の連結部1eによって連結されている。

また、第1の連結部1dは、角部と角部の間の中央付近に配置されたインナリード1bによってその両側に分割された構造であり、合計8つの第1の連結部1dが形成されている。

なお、インナリード1 bのワイヤ接続面1 f側には図7と同様に銀めつき7が被覆されている。

図20、図21は、テープ部材5を貼り付けた状態である。

さらに、図22は第1の連結部1 dを切断して8つの第1貫通孔5 eを形成した状態であり、図23はその裏面図である。

また、図24は第2の連結部1 eを切断して1つの第2貫通孔5 fを形成してリードフレーム1を組み立てた状態であり、図25はその裏面図である。

なお、図24に示すリードフレーム1においても、図21に示す第1の連結部1 dと第2の連結部1 eを同時に切断してもよいし、また、どちらか一方を先に切断し、その後他方を切断してもよい。

また、図26～図28は、チップ搭載可能範囲とそのワイヤボンディング状態を示したものである。図26は、図24に示すリードフレーム1における最小チップ搭載エリア1 7と最大チップ搭載エリア1 8を示したものであり、さらに、図27は最小の半導体チップ2を搭載してワイヤボンディングを行った構造を示しており、図28は最大の半導体チップ2を搭載してワイヤボンディングを行った構造を示している。

このように図24に示す変形例のリードフレーム1であっても、種々の大きさの半導体チップ2が搭載可能であり、リードフレーム1の汎用性を高めることが可能である。

さらに、4本のコーナリード1 gを含む合計8本のインナリード1 bが、テープ部材5の中央付近まで延在しているため、さらにテープ部材5の剛性を高めることができる。

次に、図29～図31に示す変形例のリードフレーム1について説明する。

図29は、図31に示す変形例のリードフレーム1を形成するためのフレーム体1 aであり、複数のインナリード1 bと、これに一体で形成された複数のアウトリード1 cと、複数のインナリード1 bの先端部を相互に一体に連結する第1の連結部1 dと、第1の連結部1 dで連結された複数のインナリード1 b群に隣接してパッケージ角部に配置されたインナリード1 b（コーナリード1 g）と第1の連結部1 dを連結するとともに、第1の連結部1 dより内側に配置された複

数の第2の連結部1 eとを有している。

すなわち、4つの角部に設けられたコーナリード1 gが、コーナリード1 g同士は連結せずにそれぞれ隣接した第1の連結部1 dと第2の連結部1 eを介して連結しており、その際、第2の連結部1 eが第1の連結部1 dより内側中央寄り

5 にコの字状に延在して配置されている。

図29に示すフレーム体1 aを用いて、図30に示すように、複数のインナリード1 bのワイヤ接続面側の先端部、第1の連結部1 dおよび第2の連結部1 eと、テープ部材5との貼り付けを行う。

前記貼り付け後、複数のインナリード1 bの先端部に沿って第1の連結部1 d
10 を切断してフレーム体1 aから第1の連結部1 dを除去し、これによって、図31に示す4つの第1貫通孔5 eが形成されてリードフレーム1が製造される。

すなわち、図30に示すフレーム体1 aにおいて4つの第1の連結部1 dを切り落とすことによってコーナリード1 gを含む複数のインナリード1 bそれぞれがそれらの先端側において図31に示すように分離されたことになる。

15 その後、図13に示すリードフレーム1を用いた組み立てと同様に、図31に示す変形例のリードフレーム1を用いてテープ部材5のチップ支持面側（各インナリード1 bが配置された面と反対側）に半導体チップ2を搭載し、ワイヤボンディング、樹脂封止およびアウトリード1 cの切断成形を行って本実施の形態1のQFP6（図1参照）と同様の半導体装置を組み立てる。

20 なお、図31に示す変形例のリードフレーム1の製造では、第1の連結部1 dの切断のみを行い、第2の連結部1 eの切断は行わないため、連結部切断の工程を簡略化することができ、リードフレーム1の製造工程の簡略化を図ることができる。

また、図31に示す変形例のリードフレーム1は、テープ吊り部5 gの強度を
25 高める事はできるが、第2の連結部1 eの内側中央付近への延在量が比較的少ないため、ガラエポ系樹脂などからなる高強度のテープ部材5を使用する場合に有効である。

次に、図32～図34に示す本実施の形態1のリードフレームの製造方法の変形例について説明する。

図32は、リードフレーム1の製造で第1の連結部1dや第2の連結部1eを打ち抜く際に、その打ち抜き方向を示したものであり、複数のインナリード1bの先端部が第1の連結部1dによって相互に一体に形成されたフレーム体1aを準備し、これにテープ部材5を貼り付けた後、ダイ13上にフレーム体1aを配置し、その後、打ち抜き用のパンチ12を用いて複数のインナリード1bの先端部に沿って第1の連結部1dをチップ搭載側の面から打ち抜き、切断して、フレーム体1aから第1の連結部1dを除去する。

これにより、図33に示すように切断バリ14をフレーム体1aまたはテープ部材5のチップ搭載側の面と反対側の面に突出させることができ、ダイボンディング時にテープ部材5と半導体チップ2の間に切断バリ14が入り込むなどの悪影響の発生を防ぐことができる。

さらに、打ち抜き後、図33に示すようにブロック15などを用いてインナリード1bとテープ部材5との接合部をコイニングすることが好ましく、これによって、切断によって形成された切断バリ14を潰して切断箇所の平坦化を図ることができる。

また、図34は、予め熱可塑性の接着層5aが形成されたテープ部材5を用いて、このテープ部材5をフレーム体1aに貼り付けるものであり、インナリード1bとテープ部材5の接合および半導体チップ2とテープ部材5の接合を熱可塑性の接着層5aを介して行う。このようなリードフレーム1を用いて組み立てられたQFP6が図4の変形例に示すものである。

テープ部材5に予め熱可塑性の接着層5aが形成されていることにより、ダイボンド材が不要になるため、コストの低減化とダイボンディング工程の簡略化を図ることができる。

なお、この場合のテープ部材5の基材は、例えば、耐熱性の高いポリイミド樹脂などからなる。

また、図34に示すようなテープ部材5に予め熱可塑性の接着層5aが形成されたリードフレーム1を用いてダイボンディングを行う際には、複数のインナリード1bの先端部を専用治具などによって固定してダイボンディングすることが好ましい。

これは、ダイボンディング時に、熱によって熱可塑性の接着材が柔らかくなつて、各インナリード1 bが動いてリード位置が変わるなどの不具合の発生を防ぐためである。

5 また、ダイボンディング時に、例えば、レーザなどを用いてテープ部材5におけるチップ搭載領域のみを局所的に加熱してダイボンディングすることが好ましい。

これによって、各インナリード1 bの先端部付近は加熱せずに済むため、各インナリード1 bが動いてリード位置が変わるなどの不具合の発生を防ぐことができる。

10 また、予め全面にパラジウムめっき9（図5参照）が被覆されたフレーム体1 aを用いてリードフレーム1を製造し、このリードフレーム1を用いてQFP6の組み立てを行ってもよい。

15 全面にパラジウムめっき9が被覆されたリードフレーム1を用いてQFP6を組み立てることにより、パラジウムは銅などに比較してインナリード固定用の接着材との接着力が高いため、図32に示すパンチ12による打ち抜きを行う際にも打ち抜き時のテープ部材5とインナリード1 bの剥がれが発生しにくい。

20 さらに、全面にパラジウムめっき9が被覆されていることにより、銀めっき7や外装めっきが不要となり、また、銅などに比較してパラジウムは融点が高いため、耐熱性の向上を図ることができる。これにより、Pbフリー化を図った実装を実現できる。

なお、予め全面にパラジウムめっき9が被覆されたリードフレーム1を用いて組み立てられたQFP6が、図5に示すものである。ただし、組み立て後のQFP6では、アウトリード1 cやインナリード1 bの切断面にはパラジウムめっき9が被覆されていないことは言うまでもない。

25 （実施の形態2）

図35、図36および図37に示す本実施の形態2の半導体装置は、実施の形態1のQFP6と同様に、テープ部材5上に半導体チップ2が搭載される多ピンのQFP16であるが、実施の形態1のQFP6と異なる点は、テープ部材5のインナリード1 bとの接合面5 cと同一の面に半導体チップ2が搭載されている

ことである。すなわち、テープ部材 5 はインナリード 1 b の下側に貼り付けられ、このテープ部材 5 の上に半導体チップ 2 が搭載されている。

さらに、電源やグラウンドの強化（安定化）を図るための共通リード（バスバーリード）であるバーリードを有していることである。

- 5 したがって、本実施の形態 2 の Q F P 1 6 は、多ピンで、かつ電源やグラウンドの強化を図る場合に有効な構造のものであるが、外部端子として封止部 3 から露出させる電源やグラウンドの端子数を増加させずに電源やグラウンドの強化（安定化）を図るものである。

- 10 まず、図 3 5 に示す Q F P 1 6 は、図 3 8 に示すように、インナリード 1 b 群の内側に配置されたリング状の共通リードである第 1 バーリード 1 h と、この第 1 バーリード 1 h に連結され、かつ 4 つの角部に配置されたコーナリード 1 g と、第 1 バーリード 1 h と各インナリード 1 b の先端との間に形成された第 1 貫通孔 5 e とを有しており、テープ部材 5 の上に最小の搭載可能サイズに対応した最小の大きさの半導体チップ 2 を搭載した構造のものである。

- 15 そこで、図 3 5 に示す Q F P 1 6 では、ワイヤ 4 による接続は、半導体チップ 2 の各パッド 2 a とこれに対応するそれぞれのインナリード 1 b との間で行われ、さらに半導体チップ 2 のグラウンド／電源のパッド 2 a と第 1 バーリード 1 h との間でも行われている。

- 20 また、図 3 6 は図 3 5 に示す Q F P 1 6 において、最大の搭載可能サイズに対応した最大の大きさの半導体チップ 2 を搭載した構造のものである。

- さらに、図 3 7 に示す Q F P 1 6 では、ワイヤ 4 による接続は、半導体チップ 2 の各パッド 2 a とこれに対応するそれぞれのインナリード 1 b との間で行われ、かつ半導体チップ 2 のグラウンドまたは電源のパッド 2 a と第 1 バーリード 1 h との間でも行われ、さらに第 1 バーリード 1 h とインナリード 1 b との間でも
25 行われている。

 したがって、半導体チップ 2 のグラウンドまたは電源のパッド 2 a が共通リードである第 1 バーリード 1 h を介して共通のグラウンドまたは電源端子と接続され、さらに第 1 バーリード 1 h が 4 本のコーナリード 1 g を介して外部の実装基板などと接続される。

次に、本実施の形態 2 の Q F P 1 6 の製造方法とそれに用いられるリードフレーム 1 の製造方法について説明する。

まず、図 3 8 に示すようなフレーム体 1 a を準備する。

このフレーム体 1 a は、搭載される半導体チップ 2 のパッド 2 a 列にほぼ対応して配置された複数のインナリード 1 b と、これと一体に形成された複数のアウト
5 リード 1 c と、複数のインナリード 1 b の先端部を相互に一体に連結する連結部 1 j と、連結部 1 j で連結された複数のインナリード群に隣接して角部に配置された他の 4 本のコーナリード 1 g を相互に一体に連結するとともに、連結部 1 j より内側に配置されたリング状の第 1 バーリード 1 h とを有している。

10 すなわち、複数のインナリード 1 b およびアウトリード 1 c に加えて、半導体チップ 2 の 1 辺に対応した複数のインナリード 1 b の先端部を連結する連結部 1 j と、連結部 1 j より内側に配置され、かつ角部に配置された 4 本のインナリード 1 b であるコーナリード 1 g を連結するリング状の第 1 バーリード 1 h とを有している。

15 なお、フレーム体 1 a には、4 本のコーナリード 1 g を含む各インナリード 1 b のワイヤ接続面 1 f において、それぞれの先端部からワイヤ接続が行われる箇所までの領域に銀めっき 7 が被覆されている。その際、連結部 1 j と第 1 バーリード 1 h にも銀めっき 7 が被覆されている。

20 また、図 3 9 に示すように、フレーム体 1 a の裏面 1 k には、図 3 8 に示すような銀めっき 7 は被覆されていない。

その後、図 4 0 に示すように、複数のインナリード 1 b の先端部、連結部 1 j および第 1 バーリード 1 h のそれぞれの裏面 1 k と、テープ部材 5 とを貼り付ける。なお、テープ部材貼り付け後、フレーム体 1 a をその裏面 1 k 側から眺めた構造が図 4 1 に示すものである。

25 その後、複数のインナリード 1 b の先端部に沿って連結部 1 j を切断してフレーム体 1 a から連結部 1 j を除去し、図 4 2 に示すような 4 つの第 1 貫通孔 5 e を形成する。

これによって、図 4 2 および図 4 3 に示すようなリードフレーム 1 の製造となる。

本実施の形態2のリードフレーム1では、4つの第1貫通孔5eのそれぞれ内側に共通リードである第1バーリード1hが配置されるため、テープ部材5のチップ搭載領域の剛性を高めることができるとともに、4つの角部に配置されたコーナーリード1gがリング状の第1バーリード1hによって一体に連結されるため、共通リードであるバーリードの強度を向上できる。

これによって、テープ部材5のうねりの発生を防ぐことができ、リードフレーム1の製造における歩留り向上を図ることができる。

その後、テープ部材5のインナリード1bとの接合面5cと同一の面に半導体チップ2を搭載するダイボンディングを行う。

10 その際、図35に示すように、例えば、銀ペースト8によって半導体チップ2を固定する。

その後、半導体チップ2のパッド2aとこれに対応するインナリード1bとをワイヤ4によって接続するワイヤボンディングを行う。

15 ここでは、ワイヤ4とインナリード1bとのワイヤ接続すなわち2ndボンディングにおいて、図38に示すようにインナリード1bのワイヤ接続面1fの銀めっき7形成箇所とワイヤ4とを接続する。

ワイヤボンディング終了後、半導体チップ2および複数のワイヤ4を封止用樹脂を用いて樹脂封止して封止部3を形成する。

20 その後、複数のアウトリード1cそれぞれを切断してリードフレーム1から分離するとともに、アウトリード1cを曲げ成形してQFP16の組み立てを終了する。

25 なお、図44は、図42に示すリードフレーム1における最小チップ搭載エリア17と最大チップ搭載エリア18を示したものであり、さらに、図45は最小の半導体チップ2を搭載してワイヤボンディングを行った構造を示しており、図46は最大の半導体チップ2を搭載してワイヤボンディングを行った構造を示している。

このように本実施の形態2で用いられるリードフレーム1においても、種々の大きさの半導体チップ2が搭載可能であり、リードフレーム1の汎用性を高めることが可能である。

なお、図 4 2 に示すリードフレーム 1 では、4 つのコーナリード 1 g がリング状の第 1 バーリード 1 h と一体に連結しているため、この第 1 バーリード 1 h を 1 つの共通電源または 1 つの共通グラウンドとして使用することになる。

5 本実施の形態 2 の Q F P 1 6 によれば、外部端子として封止部 3 から露出させる電源やグラウンドの端子数を差程増加させることなく電源やグラウンドの強化を図ることができる。

例えば、公知例の特開平 9 - 2 5 2 0 7 2 号公報に記載された図 8 に示す例の場合、電源やグラウンドのバスライン 5 0 である共通リードを、四角形の半導体チップの各辺に対応して設けた場合に、前記共通リードと連結して外部に露出するリードを設けるために、インナリード 8 本分のスペースが必要になり、インナ
10 リード先端幅を細くした事による多ピン化、もしくはワイヤ長さの短縮の目的に対して阻害要因となってしまう。

本実施の形態 2 の図 4 2 に示すリードフレーム 1 を用いて組み立てられた Q F P 1 6 の場合、電源やグラウンドの共通リードとして外部に露出する外部端子を 4 本設けることになり、電源やグラウンドの共通リードとしての外部端子を 4 本
15 少なくすることができるとともに、インナリード 1 b の先端を配置する領域がより多く確保できるために、インナリード先端を半導体チップ 2 のより近くに配置する事が可能となる。

また、第 1 バーリード 1 h が枠状に形成されているために、テープ部材 5 全体
20 の剛性を高めることができる。

また、外部に露出する外部端子の全体の数を同数とすると、本実施の形態 2 の Q F P 1 6 の場合、公知例と比較して 4 本多く信号用の端子として使用することができ、したがって、本実施の形態 2 の Q F P 1 6 は、多ピンのパッケージに非常に有効である。

25 次に、本実施の形態 2 の変形例のリードフレーム 1 について説明する。

図 4 7 に示す変形例のリードフレーム 1 は、図 4 2 に示すリードフレーム 1 のピン数を減らしたものであり、その他の構造は図 4 2 と同様である。

また、図 4 8 に示す変形例のリードフレーム 1 は、第 1 バーリード 1 h の外側に共通リードとなる第 2 バーリード 1 i が設けられている場合である。すなわち

、図38に示す連結部1jと第1バーリード1hとの間に両端がインナリード1bと連結された第2バーリード1iを有するフレーム体1aを用いて半導体装置の製造を行うものであり、テープ部材5を貼り付けた後、連結部1jを切断して除去する際に、1列に並んだ複数のインナリード1bのうち第2バーリード1iの両端と連結したインナリード1bの第2バーリード1iとの連結が残り、かつその内側に配置された複数のインナリード1bと連結部1jの連結が無くなるように連結部1jを切断し、フレーム体1aから連結部1jを除去して4つの第1貫通孔5eを形成してリードフレーム1を製造するものである。

図48に示す変形例のリードフレーム1では、2種類の共通リードが設けられているため、2つの共通電源または2つの共通グラウンド、あるいは1つずつ両者の組み合わせとして共通リードを使用することができる。したがって、多ピンの半導体装置に有効である。

図49に示す変形例のリードフレーム1は、テープ部材5上に連結部1jを残すものであり、テープ部材5とフレーム体1aとを貼り付けた後、連結部1jを切断するのではなく、連結部1jと連結された複数のインナリード1bの先端部を連結部1jに沿ってこの連結部1jがテープ部材5上に残留するように切断する。

これによって、図50に示すように、半導体チップ2のパッド2a（図35参照）と連結部1jとのワイヤ接続、および連結部1jとインナリード1bとのワイヤ接続をいずれの位置に対しても行うことが可能になるため、ワイヤ4の配置やパッド2aの配置の自由度が増えるとともに、多ピンの半導体装置において有効活用ができる。

次に、図51と図52は、本実施の形態2の他の変形例のリードフレーム1を用いた際のチップ上のパッド2aとインナリード1bの結線の対応関係と、共通リード使用状況の一例を示したものであり、図51と図52においてパッド番号（1次側）が（1）・・・であり、リード番号（2次側）が1・・・100である。さらに、図52に示す2次側のリード番号において、網がけ番号のリードが電源もしくはグラウンドとして使用されているものである。

図52に示すように2次側を共通リードとして多数設けることが可能なため、

多ピン化に有効である。

次に、図 5 4 に示す構造は、本実施の形態 2 の図 3 5 における、インナリード 1 b 上におけるワイヤ 4 の接続位置、および半導体チップ 2 上におけるパッド 2 a の配置を千鳥状にした場合の変形例に関する図であり、また、図 5 5 に示す構造は、図 5 4 に示す前記変形例における一部を拡大した平面図である。

近年、インナリード上および半導体チップ上のワイヤ 4 をボンディングする位置を千鳥状に配置し、かつ内側のワイヤ 4 のループ高さよりも、外側のワイヤ 4 のループ高さを高くすることによって、ワイヤ同士の間隔、およびワイヤ 4 をボンディングする位置同士の間隔を確保することで、ワイヤ同士の接触もしくはワイヤ 4 とワイヤボンディング用治具との接触による不良を防止する技術について、本発明者が検討を行っている。

このようにワイヤ 4 をボンディングする位置を千鳥状に配置する場合においては、ワイヤ 4 をボンディングする位置を直線状に並べる場合に比較して、外側のループを形成するワイヤ 4 の長さが長くなってしまいうという現象が生じる。

長いループ形状を持つワイヤ 4 はトランスファーモールドイング法における樹脂封止工程時に、ワイヤ 4 の変形を生じやすく、ワイヤ同士の接触による不良を防ぐのが難しくなる。

そこで、ワイヤボンディング位置を千鳥状に配置する場合には、テープ部材 5 上に接着層 5 a を介してインナリード 1 b の先端を固定する本変形例に記載の構成を採用する事が有効である。つまり、本変形例においては、インナリード 1 b の先端がテープ部材 5 上に固定されているために、より微細なピッチでインナリード 1 b の先端を配置する事が可能となり、あらかじめ決められた本数のインナリード 1 b の先端を、小さな半導体チップ 2 の外周のより近くに配置する事が可能となり、インナリード 1 b の先端を遠くに配置した場合に比較して、ワイヤ 4 の長さを短く抑える事ができる。そしてこの事によって、内側と外側のワイヤループを有する半導体装置においても、トランスファーモールドイング法を採用した樹脂封止工程時におけるワイヤ 4 の変形を有効に防止する事ができる。

本変形例においては、インナリード 1 b 上のワイヤ 4 をボンディングする部分および半導体チップ 2 上におけるパッド 2 a の何れもが千鳥状に配置された場合

について記載したが、前記の発明はこのような場合に限られる事無く、インナリード1 b上のワイヤ4をボンディングする部分もしくは半導体チップ2上におけるワイヤ4をボンディングする部分の何れか一方のみが千鳥状に配置された場合においても、インナリード1 bの先端をテープ基板5上に固定し、インナリード

5 1 b先端ピッチの微細化を進める事で、ワイヤループ長さを小さくする効果を得る場合にも適用する事ができるものである。

なお、前記実施の形態1, 2では、半導体装置としてQFP6, 16を取り上げて説明したが、前記半導体装置としては、リードフレームを用いて組み立てられるものであれば、図53の変形例に示すようなQFN (Quad Flat Non-leaded

10 Package) 10などであってもよい。

QFN10は、小型の半導体パッケージであり、封止部3に埋め込まれたインナリード1 bの一部が被接続部1 mとして封止部3の裏面3 aに露出しており、この被接続部1 mを半田1 1と接続する構造のものである。

このような小型のQFN10に対しても前記実施の形態1, 2の半導体装置の
15 製造方法を適用することができる。

次に、実施の形態3～8について説明する。なお、実施の形態3～8においても、パッケージの4方向の側面からガルウィング形状のリードが出ているQuad Flat Package (QFP) に適用した例を中心に説明する。QFPは、パッケージ形状を一定とし、リードピッチの縮小化により多ピン化を図ることができる。また本発明は、樹脂封止されたパッケージ内の構造はQFPとほぼ
20 同様であるが、リードがパッケージの側面から出ていないQuad Flat Non-Leaded Package (QFN) にも適用可能である。QFPと同様のため実施の形態では説明を省略するが、本発明は、QFPにヒートシンクが付いたタイプのQuad Flat Package with Heat
25 sink (HQFP) にも適用可能である。

(実施の形態3)

図56～図58に示す本実施の形態3の半導体装置は、基材25 (主に絶縁性のテープ部材又はヒートスプレッド基材を用いる) の上面に半導体チップ22、リード21 a (インナリード21 b、アウトリード21 c)、バスバー21 d (

バーリード、又は単にリードと呼んでも良い) が載ったタイプのQFP26である。ここでバスバー21dには、デジタル電源VddD1、VddD2、VssD、およびアナログ電源VddA1、VddA2、VssA用のものがある。このタイプは、半導体チップ22とリード21aとの段差が小さい分パッド22a
5 とリード21aとを接続しているワイヤ24 (通常金線を用いる) が短くて済み、ボンディング時の接触不良や、樹脂封止の際のワイヤ24の流れが起き難い。

基材25は、その上面に形成された接着層25aを介して半導体チップ22、リード21a、バスバー21dと接合している。接着層25aは、例えば、アクリル系の接着剤などからできている。複数のリード21aとバスバー21dは、
10 もともとリードフレームとして一体化された状態で基材25に接着された後、カット部21fが連結されていた部分を基材25と共に打ち抜くことにより切断される。

図56でカット部21fと一体化したバスバーカット部21gは、デジタル回路部22cとアナログ回路部22eの境界付近でバスバー21dを切断して電氣的に絶縁状態にしている。カット部21fとバスバーカット部21gは一体化している
15 っているので、一度に同時に打ち抜くことができる。バスバーカット部21hは、外側のバスバー21d (VssD) と一体化されていた内側のバスバー21d (VddD1、VddD2) を切断するため、連結されていた部分を基材25と共に打ち抜いている。外側と内側のバスバー21dの連結部がバスバーカット部2
20 1gで打ち抜かれる部分にある場合は、バスバーカット部21hはなくても良い。

複数のリード21aは、アナログ回路入力2k、アナログ回路出力2l、デジタル回路入力2i、デジタル回路出力2jを含む。電源 (VddD1、VddD2、VssD、VddA1、VddA2、VssA) に接続されるリード21a
25 もある。

半導体チップ22は、デジタル電源 (VddD1、VssD) で動作するデジタル入出力回路部22bと、デジタル電源 (VddD2、VssD) で動作するデジタル回路部22cおよびメモリ22h (典型的にはSRAM: Static Random Access Memory)、不揮発性のROM (Read Only Memory) 等と、アナログ電

源 (V_{ddA1} 、 V_{ssA}) で動作するアナログ入出力回路部 22d と、アナログ電源 (V_{ddA2} 、 V_{ssA}) で動作するアナログ回路部 22e と、パッド 22a とを含む。これらの回路は、特に制限されないが、典型的にはシリコンチップ上に集積回路技術を利用して作成された N 型 MOS (Metal Oxide Semiconductor) トランジスタや、P 型 MOS トランジスタにより構成される。但し、それに限定されることなく、バイポーラトランジスタプロセスや Bi-CMOS プロセスで作成したものであっても良い。

デジタル入出力回路部 22b は、図示しない配線により V_{ddD1} および V_{ssD} を供給するパッド 22a に接続されている。同様に、デジタル回路部 22c は V_{ddD2} および V_{ssD} を供給するパッド 22a に、アナログ入出力回路部 22d は V_{ddA1} および V_{ssA} に、アナログ回路部 22e は V_{ddA2} および V_{ssA} を供給するパッド 22a にそれぞれ接続されている。

最も外側に位置するバスバー 21d (V_{ssD} 、 V_{ssA}) は、リード 21a と類似の形をしたリード部 21e (図 56 中の四隅) を有し、このリード部 21e を通して電源が供給される。内側のバスバー 21d (V_{ddD1} 、 V_{ddD2} 、 V_{ddA1} 、 V_{ddA2}) は、ワイヤボンディングにより電源供給用のリード 21a に接続される。図 56 中の四隅付近のワイヤ 24 が示すように、ここではインピーダンスを下げるために 1 本のリード 21a とバスバー 21d を 2 本のワイヤ 24 で接続している。

このように、電源供給用のリード 21a とバスバー 21d の接続位置を 90 度もしくは 180 度の回転対象にしておくと、パッケージを実装する際に回転して実装してしまった場合でも、電源と GND を逆に掛けてしまう危険が無いため、デバイス破壊を防ぐことができる。なお、図 56 では、電源供給用のリード 21a とバスバー 21d の接続位置を各辺の端に配置したが、端に限定されることはない。

図 57 に示されるように、上面に銀メッキ 27 の施されたリード 21a、バスバー 21d、半導体チップ 22 が、基材 25 の上面に接着層 25a により接着される。ただし、半導体チップ 22 の下面には銀ペースト 28 が塗布されている。各バスバー 21d とインナリード 21b は分離して配置され、絶縁されている。

インナリード 21 b と基材 25 が接着された後、カット部 21 f によりインナリード 21 b と基材 25 が一緒に打ち抜かれる。パッド 22 a とインナリード 21 b およびバスバー 21 d は、ワイヤボンディングにより金線などのワイヤ 24 で接続される。さらに、アウトリード 21 c を除いた全ての部分が樹脂 23 により封止される。

図 5 8 に示されるように、バスバーカット部 21 g により、アナログ用電源とデジタル用電源は分離絶縁されている。

図 5 9 は、図 5 6 のデジタル・アナログ混在回路の回路図である。デジタル回路を 2 電源、アナログ回路を 2 電源に分離している。デジタル第 1 回路部 DC 1 とデジタル第 2 回路部 DC 2 は、図 5 6 のデジタル回路部 22 c 内の回路部である。

デジタル入出力回路部 22 b である IODC は、外部からのデジタル信号 I_{nD} を受けてレベル変換し、内部回路 DC 2 へ送る。IODC の信号振幅は、典型的には V_{ssD} と V_{ddD1} との間にあり、DC 2 の信号振幅はそれよりも小さく V_{ssD} と V_{ddD2} の間にある。内部回路 DC 2 からの信号は、IODC でレベル変換して外部へ出力する。DC 1 は、アナログ回路部 22 e である AC および DC 2 とデジタル信号のやり取りをする。DC 2 は、DC 1 および IODC (デジタル入出力回路部 22 b) とデジタル信号のやり取りをする。DC 1 と DC 2 は、図 5 6 のデジタル回路部 22 c 内の回路部である。

アナログ回路部 22 e は、典型的には外部からのアナログ信号 I_{nA} をデジタル信号へ変換して DC 1 へ送る A/D コンバータと、DC 1 からのデジタル信号をアナログ信号へ変換して外部へ出力する D/A コンバータを含む。A/D コンバータは、外部からのアナログ信号 I_{nA} が入力される A/D コンバータアナログ部 ADA と、ADA からの信号を受けて DC 1 へ信号を出力する A/D コンバータデジタル部 ADD を含む。D/A コンバータは、DC 1 からの信号が入力される D/A コンバータデジタル部 DAD と、DAD からの信号を受けて外部へアナログ信号 O_{utA} を出力する D/A コンバータアナログ部 DAA を含む。

デジタル回路部 22 c の内部電源 V_{ddD2} とアナログ回路部 22 e の内部電源 V_{ddA2} は、分離されているが、通常は同じ電位が供給される。デジタル回

路部 22c の外部電源 V_{ddD1} およびアナログ回路部 22e の外部電源 V_{ddA1} は、 $V_{ddD1} > V_{ddD2}$ 、 $V_{ddA1} > V_{ddA2}$ を満たしていればよく、例えば $V_{ddD1} = V_{ddA1} = 3.3V$ 、 $V_{ddD2} = V_{ddA2} = 1.5V$ が供給される。

- 5 デジタル回路部 22c の GND 側電源 V_{ssD} とアナログ回路部 22e の GND 側電源 V_{ssA} も、分離されているが同じ電位が供給される。ここでは GND 側をデジタル用 V_{ssD} とアナログ用 V_{ssA} に分離した例を示したが、共通にする場合もある。

- 10 ここで、 V_{ddA1} と V_{ddD1} 、 V_{ssA} と V_{ssD} は樹脂 23 で封止されたパッケージ内で分離されている例を示した。これらは通常、 V_{ddA1} と V_{ddD1} は外部電源 $V1$ （高電位側）に、 V_{ssA} と V_{ssD} は電源 $V2$ （低電位側）に接続される。

- 15 図 60 は、アウトリード 21c がチップ側面に出ないタイプである QFN30 に本発明を適用した場合のレイアウト図である。図 61 は、図 60 の A—A 断面図である。QFP26 の場合とほぼ同様の構造であるが、リード 21a がパッケージの側面から出ていない点が異なる。リード 21a の先端はパッケージの裏面（図 60 の平面図の裏面）に出て、半田 29 が付着されている。

図 55～図 61 に例示した構成により、以下のような効果を得ることができる。

- 20 第 1 に、インナリード 21b と半導体チップ 22 との間に電源供給用のバスバー 21d を設けたことにより、パッド 22a の数を大幅に増やすことができる。これは、バスバー 21d へのワイヤボンディングはインナリード 21b のピッチに無関係に接続できるため、パッド 22a のピッチをインナリード 21b のピッチより小さくし、インナリード 21b の本数以上にパッド 22a の数を増やすこ
25 とができるためである。電源用のパッド 22a をバスバー 21d へ接続することにより、電源供給用のリード 21a が大幅に削減する。これにより、信号用に用いることができるリード 21a が増え、信号用のパッド 22a も増やすことができる。

第 2 に、半導体チップ 22 内の回路部配置に応じてバスバー 21d を分離する

ことにより、回路部ごとに分離した電源を供給することができる。近年、LSI (Large Scale Integrated circuit) の微細化により回路配置がより接近しているため、ノイズ対策が重要な課題となっている。特に、デジタル回路部 22c で発生するノイズとアナログ回路部 22e で発生するノイズが相互に影響を及ぼさないように、デジタル回路部 22c とアナログ回路部 22e で電源を分離することは重要である。

第 3 に、回路部へ電源を供給する電源配線（例えば、DC およびメモリ 22h へ Vdd 2 を供給する電源配線 22g である VL）は、半導体チップ 22 上で回路部の外周に沿って周回させなくても、インピーダンスの低いバスバー 21d へ接続することで十分な電流供給能力を得ることができる。従来は、回路部の外周に沿って電源配線 VL を周回させることによってインピーダンスを下げていた。

図 56 に示したように、これまでの信号用の配線は、リング上になった電源配線層の下層もしくは上層を電源配線層とは別層でクロスして配線していたが、電源配線 VL を周回させずに分離して配置することにより、同一配線層に複数種の配線を分離して配置させることが可能となり、配線層の層数を減らすことができる。電源配線 VL と信号配線 22f である SL とを同じ配線層にレイアウトすることも可能である。

なお従来同様に電源配線を周回させ電源層を別層とすることが信号配線 22f の自由度を高くできることは言うまでもない。

また、インピーダンスを下げるには太い配線が必要であるが、配線の面積が増大してしまうという問題がある。本発明を用いれば幅広いバスバー 21d が周回配線の変わりとなることから、半導体チップ 22 上での電源配線面積を減少することができる。半導体チップ 22 が微細化されて 0.1 μm プロセス以下になると相対的に配線も細くなるため、本発明は特に有効となる。

図 56 で示したようなリード 21a の四隅付近がバスバー 21d と一体化されたタイプ（パッケージとして四隅に電源ピンが配置されるタイプ）は、もともと半導体チップ 22 のパッド配列で電源用のパッド 22a が四隅に配置されているチップに適用した場合、半導体チップ 22 の設計変更が少なく好都合である。例

例えば、パッド22aの配置は電源パッド V_{ss} 、 V_{dd1} (V_{ddD1} 、 V_{ddA1})、 V_{dd2} (V_{ddD2} 、 V_{ddA2}) と信号パッドIOを、1つの角から V_{ss} 、IO、IO、IO、 V_{dd1} 、IO、IO、IO、 V_{dd2} 、IO、IO、 V_{ss} ・・・と、電源ピンを数本置き（本実施の形態3は3つ置き）に配列させることで極力IOで消費する電流を補うと共に電源ドロップを防ぐことが多いが、この場合にバスバー21dがあると前記各電源パッドへの接続給電が容易となり好都合である。

従来、多数ピン（例えば、208ピン）タイプのパッケージでは電源ドロップを配慮することから、四隅にも電源ピンが配置され、上記のように数本置きに電源ピンが配置されることが多いので、本発明は適用容易である。

図62は、図56のデジタル回路部22cとアナログ回路部22eとでバスバー21dを分離したレイアウト図の変形例である。図56と異なる回路配置の半導体チップ22に本発明を適用しても、カット部21fでバスバー21dを分離する位置を変えるだけで適した配置にすることができる。

また、図56では V_{ddD1} および V_{ddA1} 電源用と、 V_{ddD2} および V_{ddA2} 電源用の二重のワイヤ24を隣接して配置したが、ここでは互いに離れた位置に配置している。このようにそれぞれ離れた位置でワイヤボンディングし、離れた位置から電源供給することで、各回路での消費電流を分散させ、より一層低抵抗化が図れる。ここで、ワイヤ24は二重の場合を示したが、それ以上でも良い。

図63は、図62の変形例である。アナログ回路を1電源系 (V_{ddA} 、 V_{ssA})、デジタル回路を2電源系 (V_{ddD1} 、 V_{ssD1} 系と V_{ddD2} 、 V_{ssD2} 系) に分離したレイアウト図である。図56、図62と同様にバスバー21dが3重となったタイプを用いているが、必ずしも回路部の境界付近でバスバー21dを分離していない点異なる。

ここでは、デジタル回路部22cが4本のバスバー21dを要するため、最外部のバスバー21dを V_{ssD1} と V_{ssD2} に分離してデジタル用に用いている。カット部21fと一体化したバスバーカット部21gは、最外部のバスバー21dの角部を基材25と共に打ち抜くことで、バスバー21dを電氣的に分離

している。図63におけるバスバーカット部21hは、外側のバスバー21dと一体化されていた内側のバスバー21dを切断する(VddD1とVddD2、VddA1とVddA2を分離する)角部のものと、デジタル回路部22cとアナログ回路部22eの境界付近でバスバー21dを切断する(VddD1とVddA1、VddD2とVddA2を分離する)ものがある。

図63では、最外部のバスバー21dをカット部21fと一体化したバスバーカット部21gにより分離した例を示したが、デジタル入出力回路部(IODC)22bとデジタル回路部(DC)22cでGND側を共通とする場合は分離しなくても良い。この場合、最外部のバスバー21dはリング状のまま用いる。

図64は、図56のリング状のバスバー21dを、切り込みを入れずにデジタル用として利用したレイアウト図である。デジタル入出力回路部(IODC)22bおよびデジタル回路部(DC)22cの電源はバスバー21dへ、アナログ入出力回路部(IOAC)22dおよびアナログ回路部(AC)22eの電源は従来通りインナリード21bへ直接接続されている。この場合、アナログ回路部22eは従来の回路配置のまま用いることができる。

なお、本発明を適用する場合、基本的には従来の回路構成、チップ内配置は変更することなく、電源パッドのみバスバー21dに接続すれば良い。また、回路配置構成に応じたバスバー21dの配置を適宜選択することで対応できることは言うまでもない。

(実施の形態4)

図65は、デジタル回路を二つの電源回路部に分離してレイアウトした図、図66は図65のデジタル回路の回路図である。

本実施の形態4のような電源分離は、例えば、DC1とDC2が異なる内部電圧(D1の内部電圧<D2の内部電圧)で動作している場合、DC1をノイズから守るために有効である。例えば、 $V_{ddD1} = I_{nD1} = O_{utD1} = 3.3V$ 、 $V_{ddD2} = I_{nD2} = O_{utD2} = 3.3V$ 、D1の内部電圧=1.5V、D2の内部電圧=3.3Vの場合などがこれにあたる。また、デジタル入出力回路部(IO2)22bの入出力信号(I_{nD2} 、 O_{utD2})がIO1の入出力信号(I_{nD1} 、 O_{utD1})に比べ非常に大きい電圧($V_{ddD1} \ll V_{ddD2}$)の

場合も、DC 1 をノイズから守るために有効である。例えば、 $V_{ddD1} = I_{nD1} = O_{utD1} = 3.3V$ （または $5V$ ）、 $V_{ddD2} = I_{nD2} = O_{utD2} = 7V$ （または $10V$ ）の場合などがこれにあたる。

図 6 5、図 6 6 の場合、図 5 6、図 6 2 および図 6 3 に比べ、電源数が少なく
5 4 本で足りるため、バスバー 2 1 d が二重のタイプを用いている。DC 1 や DC 2 の内部電圧を外部から供給する場合など、電源の数が増加する場合は、バスバー 2 1 d の本数を増やしたり、バスバー 2 1 d が三重のタイプを用いたりしても良い。

10 なお DC 1 と DC 2 で使われるクロック周波数が異なる場合なども干渉ノイズ対策の観点から電源分離は有効である。

図 5 6 から図 6 6 まで様々なバスバー 2 1 d の形態と配置方法を示してきたが、図面に示された形態・方法に限られることなく、回路のレイアウト方法により種々の変形が考えられる。

15 例えば、リング状のバスバー 2 1 d は、必ずしもチップ半導体チップ 2 2 の辺に沿って四角形に配置する必要も無く、半導体チップ 2 2 を囲む八角形に配置しても良い。この場合、チップ角部でワイヤ 2 4 が込み入りにくくなるため、半導体チップ 2 2 の角部までパッド 2 2 a を配置することができる。

20 外側のバスバー 2 1 d と内側のバスバー 2 1 d の接続部およびそれを分離するバスバーカット部 2 1 g またはバスバーカット部 2 1 h も、バスバー 2 1 d の角部に限られることなくいずれの場所でも良い。さらに、バスバー 2 1 d の本数も、電源の数によって増減しても良い。実施の形態ではバスバー 2 1 d が二重または三重（3 本～6 本）の例を示したが、これに限られることはない。バスバー 2 1 d は少なくとも 1 本あれば効果があるため、例えば 1 本でも良い。

25 また、図に示した複数のリード 2 1 a の本数や形も、これに限られることなく様々なタイプが考えられる。さらに、半導体チップ 2 2 の形態・サイズも、本実施の形態に示した例に限られることなく、様々なチップを用いて実現可能である。

（実施の形態 5）

図 6 7 は、図 5 6 の半導体装置のパッド 2 2 a を千鳥状に配置し、インナリー

ド 2 1 b およびバスバー 2 1 d へ千鳥状にワイヤボンディングした図である。なお、ワイヤボンディングした一部分を拡大図により示す。

ここでは、ワイヤ 2 4 によりバスバー 2 1 d と接続された電源用のパッド 2 2 a は第 1 列 L 1 上に配置され、インナリード 2 1 b と接続された信号用のパッド 2 2 a は第 2 列 L 2 上に配置されている。拡大図が示すように、第 2 列 L 2 上の第 3 パッド 2 2 n は、第 1 列 L 1 上の電源用のパッド 2 2 a である第 1 パッド 2 2 1 と第 2 パッド 2 2 m の中間に位置する ($X=X$)。このような方法で、第 1 列 L 1 上に第 1 パッド 2 2 1 および第 2 パッド 2 2 m、第 2 列 L 2 上に第 3 パッド 2 2 n を繰り返し配置すると、図 6 7 に示すような千鳥状のパッド配置となる。パッド 2 2 a を 2 列に配置して数を増やしても、電源用のパッド 2 2 a はバスバー 2 1 d へ接続されるため、インナリード 2 1 b は信号用として使うことができる。

図 6 8 は図 6 7 の変形例であり、図 6 9 は図 1 3 の A—A 断面図である。ここでは、四辺で分離された、二重のタイプのバスバー 2 1 d を用いた。図 6 7 と異なり、ワイヤ 2 4 によりインナリード 2 1 b と接続された信号用のパッド 2 2 a がチップ端側の第 1 列上 L 1 に配置され、一方バスバー 2 1 d と接続された電源用のパッド 2 2 a がチップ内側の第 2 列上 L 2 に配置されている。この場合、信号用のパッド 2 2 a、電源用のパッド 2 2 a とともに、ワイヤボンディングの距離が長くなることを防止できる。

図 6 7 ~ 図 6 9 にパッド千鳥配置の例を示したが、バスバー 2 1 d の本数は電源の数によって増減しても良く、またバスバー 2 1 d は全ての辺に置かなくても良い。形状も図示したものに限らず様々な変形が考えられる。チップ全体のパッド 2 2 a が千鳥状に配置される必要もなく、一部分であっても良い。図 6 7 では信号用のパッド 2 2 a を内側としたが、チップ端側でもよく、また図 6 8 では信号用のパッド 2 2 a をチップ端側としたが、内側であっても良い。

(実施の形態 6)

図 7 0 は、信号用のパッド 2 2 a (I O) と電源用のパッド 2 2 a (V d d、V s s) を交互に配置した図である。

インナリード 2 1 b と半導体チップ 2 2 との間に電源供給用のバスバー 2 1 d

を設けたことにより、電源用のパッド 2 2 a の数を大幅に増やすことができる。これにより、従来パッド数個置きに配置していた電源用のパッド 2 2 a を、一つ置きに配置することが可能となり、電源を強化することができる。さらに信号間のクロストークノイズを除去できる。

- 5 また、電源のバスバー化で余った NC（ノンコネクト）ピンはリード側で適当な電源に固定するだけでも良く、これにより信号間の距離が取られ、干渉ノイズ低減、もしくは入出力バッファ動作時の電源ノイズ低減に効果あることは言うまでもない。

- 10 図 6 7～図 6 9 では、パッド 2 2 a が千鳥配置、バスバー 2 1 d とインナリード 2 1 b のワイヤボンディングの位置も千鳥状の場合を示したが、図 7 0 に示すようにバスバー 2 1 d およびインナリード 2 1 b 側のみ千鳥状にワイヤボンディングしても良い。

（実施の形態 7）

- 15 図 7 1 および図 7 2 は、ワイヤボンディングにより内部降圧回路を選択もしくは是非選択可能とした回路のレイアウト図である。図 7 1 に示す内部降圧回路 2 2 i を使用する場合と、図 7 2 に示す内部降圧回路 2 2 i を使用しない場合とで、ワイヤボンディングの方法が異なる。回路部 A に接続する内部電源配線 2 2 k（V d d 2 A L）と、回路部 B に接続する内部電源配線 2 2 j（V d d 2 B L）は分離されている。

- 20 図 7 1 では、内部降圧回路 2 2 i を使用して外部電源 V d d 1 を V d d 2 A に降圧し、回路部 A へ供給する。ワイヤ 2 4 により、外部電源 V d d 1 が供給されるリード 2 1 a と V d d 1 供給用のバスバー 2 1 d が接続され、V d d 1 供給用のバスバー 2 1 d と内部降圧回路 2 2 i に接続したパッド A 2 2 p が接続される。内部電源配線 2 2 k（V d d 2 A L）を介して内部降圧回路 2 2 i に接続した
25 パッド B 2 2 q は、回路部 A へ内部電源 V d d 2 A を供給するための V d d 2 A 供給用のバスバー 2 1 d にボンディングされている。

図 7 2 では、内部降圧回路 2 2 i を使用せずに、V d d 2 A 供給用のバスバー 2 1 d から回路部 A へ内部電源を供給する。V d d 2 A 供給用のバスバー 2 1 d とパッド B 2 2 q は、図 7 1 と同様に接続されている。図 7 1 と異なり、内部電

源 V_{dd2A} が供給されるリード 21a と V_{dd2A} 供給用のバスバー 21d が接続されている。ここで、パッド A22p はワイヤボンディングされていないが、 V_{dd2A} 電源供給用のバスバー 21d などに接続しても良い。

図 73 は、図 71 および図 72 の選択可能な内部降圧回路 22i の回路図である。図 71 および図 72 における内部降圧回路 22i は略図で示したが、ここでは具体的な一例を示す。P1、P2 は P 型 MOS トランジスタ、N1 は N 型 MOS トランジスタを表す。

内部降圧回路 22i を使用する場合（図 71 の場合）、パッド A22p は高電位側 H (V_{dd1}) にボンディングされる。これにより、P1 がオフ、N1 がオンとなり、 V_{dd1} と V_{ss} との間で比較回路 22r が動作する。比較回路 22r が P2 のゲートを制御することにより、P2 は V_{dd1} を V_{ddD2} に降圧して、内部回路であるデジタル回路部 22c（図 56 参照）へ供給する。

一方、内部降圧回路 22i を使用しない場合（図 72 の場合）、パッド A22p はワイヤボンディングされないか、または低電位側 L (V_{ss}) にワイヤボンディングされる。これにより、N1 がオフとなり、比較回路 22r は動作しなくなる。このとき、回路 A に対しては V_{dd2} が供給されるバスバー 21d にボンディングされたパッド B22q より、 V_{dd2} が内部回路へ供給される。

図 71 ～図 73 では、回路 A に接続した内部降圧回路 22i を例に述べたが、他の内部回路にも同様な方法で適用することができる。

(実施の形態 8)

図 74 は、引き出し配線によりチップ周辺のパッド 22a と内部回路を接続した場合、半導体チップ 22 の中央付近にパッド 22a を設けた場合、およびチップ中央付近のパッド 22a、チップ端部のパッド 22a、バスバー 21d を二段階でワイヤボンディングした場合のレイアウト図である。ここでは、メモリ (ME) 22 からの引き出し配線を、 V_{ddD2} 供給用のバスバー 21d へ接続している。

アナログ回路部 (AC) 22e 内に設けたパッド 22a は、 V_{ddA2} 供給用のバスバー 21d へ直接ワイヤボンディングされる。

デジタル回路部 (DC) 22c 内に設けたパッド 22a は、 V_{ddD2} 供給用

の패드 22 a を介して V d d D 2 供給用のバスバー 21 d へワイヤボンディングされる。前記のような接続方法はワイヤ 24 の直径およびバスバー 21 d がチップ内配線幅より面積的に大きいことからインピーダンスを低くすることができ、内部回路の電源ドロップを軽減する効果がある。通常回路部を周回している電源リングに加え、特に内部回路で電源ドロップの問題が生じる場合などに有効である。

なお、以上のようにバスバー 21 d が電源供給用として効用が大きいことを述べたが、半導体チップ 22 の패드 22 a は製造側でこの패드 22 a を所定レベル値に固定したい場合も考えられるので、本バスバー 21 d をレベル固定用端子として使用できることは言うまでもない。

(実施の形態 9)

実施の形態 9 ~ 20 の半導体装置 (QFP) におけるそれぞれのリードパターンを説明する平面図は、半導体チップ 22 の一部の패드 22 a のみのワイヤ 24 の接続状態を示しており、説明上、他の패드 22 a のワイヤ 24 の接続状態は省略しているが、実際には、他の패드 22 a に対してもワイヤ 24 が接続されている (ただし、全패드 22 a にワイヤ 24 が接続されていなくてもよく、ノンコンタクトの패드 22 a が存在する場合もある)。

図 75 に示す半導体装置のリードパターンは、半導体チップ 22 の周囲に三重に配置されたリング状のバスバー 21 d のうち、最も外側のバスバー 21 d のみを 1 つのアウタリード 21 c に連結し、このアウタリード 21 c を半導体装置の角部に配置したものである。

すなわち、電源用の패드 22 a が比較的角部に集まって配置された半導体チップ 22 を搭載している場合であり、この場合、角部の電源用の패드 22 a をバスバー 21 d とワイヤ 24 で接続し、さらに、ワイヤ 24 と角部付近に配置されたインナリード 21 b とを接続する。

これにより、ワイヤ 24 の半導体チップ 22 の패드 22 a への進入角度を緩和することができ、チップ角部近傍の패드間隔を詰めることができる。その結果、配置可能な패드数を増やすことができる。

また、電源用の패드 22 a を共通リードであるバスバー 21 d に接続するこ

とにより、電源用のパッド22aの数を減らすことができる。これにより、アウトリード21cの空きピンが発生するため、このピンを電源用に固定して信号用ピンの両側に配置することにより、LC成分によるクロストークノイズを低減、またIOバッファが動作する事による電源ノイズを低減することができる。

- 5 また、電源用のパッド22aでは、パッド22aとインナリード21bとをワイヤ24で直接接続するのではなく、バスバー21dを介して接続することにより、ワイヤ24を短くすることができ、樹脂封止時のワイヤ流れを低減することができる。

- 10 また、図76は、図75に示す半導体装置に用いられるリードフレーム1の構造を示すものであるが、テープ部材5のチップ搭載領域すなわち最も内側のリング状のバスバー21dの内側領域に、チップ搭載部であるタブ21iが貼り付けられている。タブ21iは、4本の吊りリード21jに連結されているが、吊りリード21jと最も内側のリング状のバスバー21dとは、吊りリードカット部21kによって分離されて絶縁されている。

- 15 このようにテープ部材5のチップ搭載領域に銅などの金属板からなるタブ21iや吊りリード21jが貼り付けられていることにより、テープ部材5のチップ搭載領域の強度を高めることができ、テープ部材5の平坦性を向上してダイボンディング性を向上させることができる。

- 20 なお、図76に示すフレーム構造は、タブ21iの大きさが半導体チップ22の主面より小さな小タブ構造のものであり、小タブ構造を採用することにより、樹脂モールドイング時の樹脂23（図56参照）がチップ裏面に周り込むため、樹脂23とチップ裏面との密着度を向上させることができ、半導体装置（QFP）のリフロークラック耐性の向上を図ることができる。

（実施の形態10）

- 25 図77に示す半導体装置のリードパターンは、半導体チップ22の周囲に四重にバスバー21dが配置されたものであり、図56に示す樹脂封止体である樹脂23の4辺それぞれにおけるリード配列方向のほぼ中央から5本のバスバー21dが引き出され、それぞれアウトリード21cに連結されているとともに、さらに、4つの角部においてそれぞれ1本のバスバー21dが引き出されてそれぞれ

がアウトリード 21c に連結されている。すなわち、電源ピンを半導体装置の樹脂 23 の各辺において主に中央付近に集めて配置させた構造である。

したがって、電源用のパッド 22a がパッド列において中央付近に集中している半導体チップ 22 を搭載する場合に好適である。

- 5 このような構造によれば、バスバー 21d の群（5 本分）としての幅を大きくすることができるため、リード抵抗の低減化や L 成分の低減化を図って電気的特性を向上させることができる。

- 10 なお、アウトリード 21c の本数が半導体チップ 22 のパッド数より多い場合には、低抵抗化のため、電源用のアウトリード 21c と複数のワイヤ 24 を介して複数のバスバー 21d とを接続し、各バスバー 21d からさらにワイヤ 24 を介して電源用のパッド 22a と接続することにより、電源用のパッド 22a へのワイヤ接続は自由な位置で接続することができる。

- 15 その結果、電源用のパッド 22a の位置を好適な位置に配置して最寄りの位置で電源用のパッド 22a とバスバー 21d とを接続することができるため、配線抵抗値の低減化を図ることができる。

なお、図 78 に示すフレーム構造も、テープ部材 5 のチップ搭載領域に金属板からなるタブ 21i や吊りリード 21j が貼り付けられた構造であり、これにより、テープ部材 5 のチップ搭載領域の強度を高めてその平坦性やダイボンディング性を向上させることができる。

- 20 さらに、図 78 に示す構造では、タブ 21i を支持する 4 本の吊りリード 21j が、最も内側のバスバー 21d と連結されており、したがって、テープ部材 5 の強度をさらに高めることができる。なお、タブ 21i が吊りリード 21j を介して最も内側のバスバー 21d と連結しているため、チップ裏面とタブ 21i とを絶縁する場合には絶縁性のダイボンド材を使用し、チップ裏面とタブ 21i とを電気的に接続する場合には導電性のダイボンド材を使用する。
- 25

また、図 78 に示すフレーム構造も小タブ構造のものであるため、樹脂 23 とチップ裏面との密着度を向上させることができ、半導体装置（QFP）のリフロークラック耐性の向上を図ることができる。

（実施の形態 11）

図 7 9 に示す半導体装置のリードパターンは、図 7 7 に示すリードパターンにおいて 4 本の電源ピン (V_{dd} 、 V_{ss} 、 V_{ddq} 、 V_{ssq}) を半導体装置の 4 角に配置する場合である。

5 この場合、実施の形態 9 と同様に、ワイヤ 2 4 の半導体チップ 2 2 のパッド 2 2 a への進入角度を緩和することができ、チップ角部近傍のパッド間隔を詰めることができる。その結果、配置可能なパッド数を増やすことができる。

さらに、電源用のパッド 2 2 a を共通リードであるバスバー 2 1 d に接続することにより、電源用のパッド 2 2 a の数を減らすことができる。

10 また、電源ピンが 4 角に配置されているため、4 角からの給電が可能になり、電位ドロップ量のバランス化によって回路の電源動作マージンを確保することができる。

(実施の形態 1 2)

図 8 0 に示す半導体装置のリードパターンは、半導体装置の 1 つの角部から給電を行う場合である。

15 すなわち、同じ側に配置された 2 本以上のアウトリード 2 1 c、例えば、リード列の角部に配置された隣接する 2 本以上のアウトリード 2 1 c からバスバー 2 1 d を介して電源 (V_{dd} 、 V_{ss}) を供給する構造である。

この構造では、図 8 2 に示すように電源供給側の近くに配置された A 回路 (図 8 0 の A 点) と、供給側から遠い反対側に配置された B 回路 (図 8 0 の B 点) とで、図 8 0 の電源降下図に示すように V_{dd} と V_{ss} の電源電位の変化を比較すると、A 点から B 点に向かって供給側から遠ざかると V_{dd} は下降し、 V_{ss} は上昇して両者の幅が狭くなるが、レファレンスレベル (V_{ref}) は、中央に一定に保持でき、また V_{ref} が外から入力された場合に、レファレンスの観点では電源の対称性を向上できる。

25 したがって、A 回路や B 回路が、レファレンスレベルを外部から入力して使用する回路、例えば、アナログ回路や差動アンプ回路 (図 7 3 に示す比較回路 2 2 r) の場合に好適である。

なお、電源を供給するアウトリード 2 1 c の位置については、半導体装置のリード列の 1 つの角部に限定されるものではなく、2 つの角部や 4 つの角部におい

て2本以上の隣接するアウトリード21cからバスバー21dを介して電源を供給するものであってもよい。

また、アナログ部電源をデジタル系回路と別にする必要がある場合には、直接インナリード21bにワイヤ24を接続してもよい。

- 5 また、図81は、図80に示す半導体装置に用いられるリードフレーム1の構造を示すものであるが、テープ部材5のチップ搭載領域すなわち内側のリング状のバスバー21dの内側領域に、チップ搭載部であるタブ21iが貼り付けられている。タブ21iは半導体チップ22とほぼ同等の大きさかもしくはそれよりも大きい大タブ構造のものであり、内側のリング状のバスバー21dとは、吊り
- 10 リードカット部21kによって分離されて絶縁されている。

- このようにテープ部材5のチップ搭載領域に銅などの金属板からなるタブ21iが貼り付けられていることにより、テープ部材5のチップ搭載領域の強度を高めることができるとともに、図76の小タブ構造の場合に比較しても大タブの方が面積が遥かに大きいため、テープ部材5の強度をさらに向上させることができ
- 15 、その平坦性やダイボンディング性もさらに向上できる。

また、大タブの場合、図81に示すようにその面積が大きいため、半導体チップ22から発せられる熱を十分に拡散することができ、半導体装置の放熱性を向上させることができる。

- ロジック回路の中でもCPUなど、特に消費電力が大きく、チップからの発熱量が大きくなる回路を有するチップを搭載する場合には、半導体チップ22から
- 20 タブ21iへの熱抵抗を低減するために、半導体チップ22をタブ21iに接着する際に、Agペーストなど導電性の接着材、若しくは導電性粒子を含有する接着剤を使用するのが好ましい。また、このように半導体チップ22をタブ21iの上に接着する接着剤として、導電性の接着材、もしくは導電性粒子を含有する
- 25 接着剤を用いた場合でも、図81に示すように、タブ21iとバスバー21dが吊りリードカット部21kによって電氣的に分離されていることによって、半導体チップ22裏面に露出する活性層の電位（基板電位）をバスバー21dから分離することができ、半導体チップ22の設計における自由度を向上することができる。

(実施の形態 13)

図 83 に示す半導体装置のリードパターンは、半導体装置の対向する 2 つの角部から給電を行う場合である。

すなわち、対向する 2 つの角部それぞれにおいて複数の隣接するアウトリード

5 21c からバスバー 21d を介して電源を供給する構造のものである。

この構造では、電源降下図に示すように中間位置の C 点の電位は V_{dd} が下降し、 V_{ss} が上昇するため、図 80 に示す 1 つの角部から電源を供給する構造に比較して電源ドロップ量を減少させることができる。

すなわち、給電箇所を多く設ける方が、電源ドロップ量を減少させることができ、好ましい。

また、図 84 は、図 83 に示す半導体装置に用いられるリードフレーム 1 の構造を示すものであるが、銅などの金属板からなるタブ 21i は、半導体チップ 22 とほぼ同等の大きさかもしくはそれよりも大きい大タブ構造のものである。なお、タブ 21i は、内側のリング状のバスバー 21d と 4 本の吊りリード 21j

15 によって連結している。

このように内側のリング状のバスバー 21d と 4 本の吊りリード 21j によって連結した大タブであるため、テープ部材 5 の強度をさらに高めることができ、その平坦性やダイボンディング性をさらに向上できる。

また、大タブであるため、半導体チップ 22 から発せられる熱を十分に拡散すること

20 ことができ、半導体装置の放熱性を向上させることができる。

ロジック回路の中でも CPU など、特に消費電力が大きく、チップからの発熱量が大きくなる回路を有するチップを搭載する場合には、半導体チップ 22 からタブ 21i への熱抵抗を低減するために、半導体チップ 22 をタブ 21i に接着する際に、Ag ペーストなど導電性の接着材、若しくは導電性粒子を含有する接

25 着剤を使用するのが好ましい。

また、本実施の形態 13 の構造においては、内周のバスバー 21d とタブ 21i に共通の電源電位または接地電位が供給されることとなるため、Ag ペーストなどの導電性の接着材を介して半導体チップ 22 をタブ 21i の上に搭載することにより、半導体チップ 22 の基板電位を内周のバスバー 21d の電位と共通に

することができる。

また、本実施の形態 1 3 の構造において、絶縁性の接着剤を介して半導体チップ 2 2 をタブ 2 1 i の上に搭載した場合には、接着剤を絶縁膜として、半導体チップ 2 2 の基板電位とタブ 2 1 i との間に容量を形成することができるため、半導体チップ 2 2 の基板電位をより安定させることができ、かつ半導体チップ 2 2 の基板電位とタブ 2 1 i の電位は分離されるため、半導体チップ 2 2 の設計における自由度を向上することができる。

(実施の形態 1 4)

図 8 5 に示す半導体装置のリードパターンは、 V_{ss} 電源を共通としてバスバー 2 1 d から 4 つの角部に取り出してそれぞれアウトリード 2 1 c に連結するとともに、 V_{dd} 電源はそれぞれ独立したバスバー 2 1 d から各角部に取り出してアウトリード 2 1 c に連結した構造のものである。

この場合、 V_{dd} 電源用のパッド 2 2 a の数を少なくすることができる。

また、電源降下図に示すように A 点から B 点に向かって V_{dd} は上昇し、一方中間の C 点の電位では V_{ss} が上昇してさらに B 点に向かって再び下降する。

(実施の形態 1 5)

図 8 6 に示す半導体装置のリードパターンは、半導体装置の一辺の中央からのみ電源 (V_{dd} 、 V_{ss}) を供給する場合であり、電源降下図に示すように給電側から遠くなるほど V_{ss} の電位が上昇し、 V_{dd} は下降する。

この場合、実施の形態 1 2 と同様に、レファレンスレベル (V_{ref}) は、中央に一定に保持でき、電源の対称性を向上できる。したがって、レファレンスレベルを外部から入力して使用する回路、例えば、アナログ回路や差動アンプ回路 (図 7 3 に示す比較回路 2 2 r) の場合に好適である。

なお、電源の供給側は、1 箇所限定されるものではなく、2 箇所や 4 箇所から給電してもよく、供給箇所を増やして低抵抗化を図ることができる。

(実施の形態 1 6)

図 8 7 に示す半導体装置のリードパターンは、アナログ回路用のバスバー 2 1 d とデジタル回路用のバスバー 2 1 d とをバスバーカット部 2 1 g によって分離したものである。

すなわち、アナログ回路用のバスバー 21 d を、デジタル回路用のバスバー 21 d から切り分けた構造であり、これによって、デジタル信号から発生するノイズをアナログ信号で拾わないようにすることができ、電源のクロストークを低減することができる。

5 (実施の形態 17)

図 88 に示す半導体装置のリードパターンは、アナログ回路用のバスバー 21 d とデジタル回路用のバスバー 21 d とをバスバーカット部 21 g によって分離したものであるとともに、半導体装置のリード配列としても 3 辺にデジタル回路用のバスバー 21 d と連結したアウトリード 21 c をそのリード列の中央に配置し、一方、前記 3 辺以外の 1 辺にアナログ回路用のバスバー 21 d と連結したアウトリード 21 c をそのリード列の中央に配置している。

これにより、電源のクロストークをさらに低減することができる。

(実施の形態 18)

図 89 に示す半導体装置のリードパターンは、一対の電源 (V_{dd} 、 V_{ss}) のバスバー 21 d にそれぞれ連結されたアウトリード 21 c が、信号用のアウトリード 21 c を挟んで相反する側に配置されており、相反する両側から電源を供給するものである。

すなわち、図 90 に示すように、 V_{dd} と V_{ss} とからなる一対の電源において、一方の角部にそれぞれの電源のバスバー 21 d から引き出した電源用のアウトリード 21 c のいずれか一方を配置し、前記角部と対角線上で対向する反対側の角部に電源のバスバー 21 d から引き出した他方の電源用のアウトリード 21 c を配置しており、複数の信号用のアウトリード 21 c を挟んで両側にそれぞれ離れて配置された一対のアウトリード 21 c から A 回路および B 回路に対して電源を供給する構造となっている。その際、例えば、A 回路は A 点の近傍のチップ内に配置された回路であり、B 回路は B 点の近傍のチップ内に配置された回路である。

この場合、図 89 の電源降下図に示すように V_{dd} と V_{ss} の両者とも、A 点から B 点に亘って電源電位が下降するため、両電源のドロップ量を同レベル化すなわち V_{dd} と V_{ss} 間の振幅がほぼ一定化することができ、また、デジタル回

路での信号の振幅低下による速度等のばらつきを低減することができる。

したがって、電源の駆動力を大きく取ることができ、例えば、ロジック回路などに好適である。

なお、4つの角部から電源を供給してもよく、その際の一对の電源をアナログ

- 5 回路用として用いてもよく、ロジック回路からの影響を避けることができる。

(実施の形態19)

図91に示す半導体装置のリードパターンは、一对の電源 (V_{dd} 、 V_{ss}) を両者とも4つの角部から供給する構造のものである。

- すなわち、一对の電源 (V_{dd} 、 V_{ss}) のバスバー21dに連結する2つの
10 アウタリード21cが、4つの角部それぞれにおいて隣接して配置されているものであり、4つの角部それぞれから一对の電源 (V_{dd} 、 V_{ss}) を供給する構造となっている。

- 図91の電源降下図に示すように1箇所から給電すると V_{ss} が上昇し、 V_{dd} が下降して電位の幅が狭くなるが、図91に示すリードパターンのように4箇所から給電することにより、電源のドロップ量を小さくすることができる。
15

この場合、差動アンプ回路 (図73に示す比較回路22r) などのレファレンスレベルを外部から入力することにより、入力0/1判定レベルが受ける側で中央にセンスレベルがあるため、 V_{ss}/V_{dd} に対してバランスが取れ、回路マージンを確保することができる。

- 20 (実施の形態20)

図92に示す半導体装置のリードパターンは、一对の電源 (V_{dd} 、 V_{ss}) を供給するバスバー21dをデジタル系とアナログ系とにバスバーカット部21gによって分離して分けたものであり、さらに、4つの角部それぞれにこれらのバスバー21dと連結する複数のアウタリード21cを配置したものである。

- 25 図92では、4つの角部のうち、3つの角部にデジタル系の一对のバスバー21dと連結するアウタリード21cを配置し、残りの1つの角部にアナログ系の一对のバスバー21dと連結するアウタリード21cを配置している。

この構造により、デジタル信号から発生するノイズをアナログ信号で拾わないようにすることができ、電源のクロストークを低減することができる。

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

5 前記実施の形態 9 ～ 20 では、半導体チップ 22 を取り囲むバスバー 21 d が二重、三重および四重の場合を例に取り上げて説明したが、バスバー 21 d の重複数は、少なくとも一対のバスバー 21 d を含んでいれば、何重であつてもよい。

産業上の利用可能性

10 以上のように、本発明の半導体装置は、バスバーに連結したアウタリードを有する半導体パッケージに好適であり、特に、アウタリードが 4 方向に延在する半導体パッケージに好適である。

請 求 の 範 囲

1. 主面、裏面と、前記主面上に形成された複数の電極を有する半導体チップと

、

前記半導体チップの周囲に配列された複数のインナリードと、

5 前記複数のインナリードのそれぞれに一体に形成された複数のアウトリードと

、

前記複数の電極および複数のインナリードのそれぞれと接続する複数のボンディングワイヤと、

10 前記半導体チップ、複数のインナリード、複数のボンディングワイヤを封止する樹脂封止体とを有する半導体装置であって、

前記複数のインナリードと前記複数のボンディングワイヤが接続する部分は千鳥状に配置されており、

15 前記複数のインナリードと前記複数のボンディングワイヤが接続する部分は、前記樹脂封止体の内部に封止された基板上に接着層を介して固定されていることを特徴とする半導体装置。

2. 主面、裏面と、前記主面上に形成された複数の電極を有する半導体チップと

、

前記半導体チップの周囲に配列された複数のインナリードと、

前記複数のインナリードのそれぞれに一体に形成された複数のアウトリードと

20 、

前記複数の電極および複数のインナリードのそれぞれと接続する複数のボンディングワイヤと、

前記半導体チップ、複数のインナリード、複数のボンディングワイヤを封止する樹脂封止体とを有する半導体装置であって、

25 前記複数のインナリードと前記複数の電極が接続する部分は千鳥状に配置されており、

前記複数のインナリードと前記複数のボンディングワイヤが接続する部分は、前記樹脂封止体の内部に封止された基板上に接着層を介して固定されていることを特徴とする半導体装置。

3. 第1電位と第2電位との間に電流経路を有するトランジスタを含んで構成される第1回路部と、

第3電位と第4電位との間に電流経路を有するトランジスタを含んで構成される第2回路部と、

5 前記第1回路部へ前記第1電位を供給する第1パッドと、

前記第1回路部へ前記第2電位を供給する第2パッドと、

前記第2回路部へ前記第3電位を供給する第3パッドと、

前記第2回路部へ前記第4電位を供給する第4パッドと、

10 前記第1及び第2回路部を含むチップと、複数のインナーリードとの間に配置され、前記第1回路部へ前記第1電位を供給する第1リードとを有することを特徴とする半導体装置。

4. 請求の範囲第3項記載の半導体装置であって、前記第1リードと前記第1パッドは、ワイヤにより接続されていることを特徴とする半導体装置。

15 5. 請求の範囲第4項記載の半導体装置であって、前記第1および第2回路部を含むチップと、複数のインナーリードとの間に配置され、前記第2回路部へ前記第3電位を供給する第2リードをさらに有することを特徴とする半導体装置。

6. 請求の範囲第3項記載の半導体装置であって、前記第1および第2パッドを複数有することを特徴とする半導体装置。

20 7. 請求の範囲第3項記載の半導体装置であって、前記第1リードは、前記第1電位が供給されるインナーリードとワイヤにより接続されていることを特徴とする半導体装置。

8. 請求の範囲第3項記載の半導体装置であって、前記第1リードは、前記第1電位が供給される第1インナーリード部を有することを特徴とする半導体装置。

25 9. 請求の範囲第3項記載の半導体装置であって、前記第1回路部はデジタル回路、前記第2回路部はアナログ回路であることを特徴とする半導体装置。

10. 請求の範囲第3項記載の半導体装置であって、前記第1および第2回路部と前記第1から第4パッドとを含む半導体チップと、前記複数のインナーリードと、前記第1リードとは、樹脂により封止されていることを特徴とする半導体装置。

1 1. 第1電位と第2電位との間に電流経路を有するトランジスタを含んで構成される第1回路部と、

第3電位と第4電位との間に電流経路を有するトランジスタを含んで構成される第2回路部と、

5 前記第1回路部へ前記第1電位を供給する第1パッドと、

前記第1回路部へ前記第2電位を供給する第2パッドと、

前記第2回路部へ前記第3電位を供給する第3パッドと、

前記第2回路部へ前記第4電位を供給する第4パッドと、

10 前記第1パッドおよび第2パッドが配列される方向に沿って配置され、複数のインナーリードと前記第1パッド及び第2パッドとの間に配置され、ワイヤにより前記第1パッドと接続され、前記第1電位が供給される第1バスバーと、

前記第1パッドおよび第2パッドが配列される方向に沿って配置され、複数のインナーリードと前記第1パッドおよび第2パッドとの間に配置され、ワイヤにより前記第2パッドと接続され、前記第2電位が供給される第2バスバーと、

15 前記第3パッド及び第4パッドが配列される方向に沿って配置され、複数のインナーリードと前記第3パッドおよび第4パッドとの間に配置され、ワイヤにより前記第3パッドと接続され、前記第3電位が供給される第3バスバーと、

前記第3パッドおよび第4パッドが配列される方向に沿って配置され、複数のインナーリードと前記第3パッドおよび第4パッドとの間に配置され、ワイヤにより前記第4パッドと接続され、前記第4電位が供給される第4バスバーとを有することを特徴とする半導体装置。

20 1 2. 請求の範囲第1 1項記載の半導体装置であって、前記第1バスバーは、前記第1電位が供給される第1インナーリード部を有し、前記第3バスバーは、前記第3電位が供給される第3インナーリード部を有することを特徴とする半導体装置。

1 3. 請求の範囲第1 2項記載の半導体装置であって、前記第2バスバーは、前記第2電位が供給される第2インナーリード部を有し、前記第4バスバーは、前記第4電位が供給される第4インナーリード部を有することを特徴とする半導体装置。

1 4. 請求の範囲第 1 2 項記載の半導体装置であって、前記第 2 バスバーは、ワイヤにより前記第 2 電位が供給されるインナーリードと接続され、前記第 4 バスバーは、ワイヤにより前記第 4 電位が供給されるインナーリードと接続されていることを特徴とする半導体装置。

5 1 5. 請求の範囲第 1 1 項記載の半導体装置であって、

前記第 1 回路部へ第 5 電位を供給する第 5 パッドと、

前記第 1 パッド、第 2 パッドおよび前記第 5 パッドが配列される方向に沿って配置され、複数のインナーリードと前記第 5 パッドとの間に配置され、ワイヤにより前記第 5 パッドと接続され、前記第 5 電位が供給される第 5 バスバーとをさらに有することを特徴とする半導体装置。

1 6. 請求の範囲第 1 5 項記載の半導体装置であって、

前記第 2 回路部へ第 6 電位を供給する第 6 パッドと、

前記第 3 パッド、第 4 パッドおよび前記第 6 パッドが配列される方向に配置され、複数のインナーリードと前記第 6 パッドとの間に配置され、ワイヤにより前記第 6 パッドと接続され、前記第 6 電位が供給される第 6 バスバーとをさらに有することを特徴とする半導体装置。

1 7. 請求の範囲第 1 6 項記載の半導体装置であって、前記第 5 バスバーは、ワイヤにより前記第 5 電位が供給されるインナーリードと接続され、前記第 6 バスバーは、ワイヤにより前記第 6 電位が供給されるインナーリードと接続されていることを特徴とする半導体装置。

1 8. 請求の範囲第 1 1 項記載の半導体装置であって、前記第 1 回路部はデジタル回路、前記第 2 回路部はアナログ回路であることを特徴とする半導体装置。

1 9. 請求の範囲第 1 1 項記載の半導体装置であって、前記第 1 および第 4 パッドを複数有することを特徴とする半導体装置。

2 0. 請求の範囲第 1 1 項記載の半導体装置であって、前記第 1 および第 2 回路部と前記第 1 から第 4 パッドとを含む半導体チップと、前記複数のインナーリードと、前記第 1 から第 4 バスバーと、前記ワイヤとは、樹脂により封止されていることを特徴とする半導体装置。

2 1. 請求の範囲第 1 1 項記載の半導体装置であって、前記第 2 回路部は、前記

第1回路部よりも前記第1および第2バスバーから遠くに配置され、前記第3パッドは前記第2回路部に含まれていることを特徴とする半導体装置。

22. 請求の範囲第11項記載の半導体装置であって、前記第2回路部は、ワイヤにより前記第3パッドと接続し、前記第2回路部へ前記第3電位を供給する第

5 5パッドを含み、前期第1回路部よりも前記第1および第2バスバーから遠くに配置されていることを特徴とする半導体装置。

23. 第1電位と第2電位との間に電流経路を有するトランジスタを含んで構成される第1回路部と、

10 第3電位と第4電位との間に電流経路を有するトランジスタを含んで構成される第2回路部と、

複数のインナーリードと、

前記第1回路部へ前記第1電位を供給する第1パッドと、

前記第1回路部へ前記第2電位を供給する第2パッドと、

15 ワイヤにより前記複数のインナーリードのうち第3電位が供給されるインナーリードと接続され、前記第2回路部へ前記第3電位を供給する第3パッドと、

ワイヤにより前記複数のインナーリードのうち第4電位が供給されるインナーリードと接続され、前記第2回路部へ前記第4電位を供給する第4パッドと、

20 前記第1および第2回路部、前記第1および第4パッドを含むチップの外側を周回し、ワイヤにより前記第1パッドと前記複数のインナーリードのうち前記第1電位が供給されるインナーリードに接続される第1リング状バスバーと、

前記第1リング状バスバーの外側を周回し、ワイヤにより前記第2パッドに接続され、前記第2電位が供給されるインナーリード部を有する第2リング状バスバーとを有することを特徴とする半導体装置。

24. 請求の範囲第23項記載の半導体装置であって、

25 前記第1回路部へ第5電位を供給する第5パッドと、

前記第1および第2回路部、前記第1および第4パッドを含むチップの外側を周回し、ワイヤにより前記第5パッドと前記複数のインナーリードのうち前記第5電位が供給されるインナーリードに接続される第3リング状バスバーとをさらに有することを特徴とする半導体装置。

25. 請求の範囲第23項記載の半導体装置であって、前記第1回路部はデジタル回路、前記第2回路部はアナログ回路であることを特徴とする半導体装置。

26. 請求の範囲第23項記載の半導体装置であって、前記第1および第4パッドを複数有することを特徴とする半導体装置。

5 27. 半導体チップの辺に沿った第1列上に配列する第1および第2パッドと、
前記半導体チップを囲んで配置する複数のインナーリードのうち、第1ワイヤにより前記第1パッドと接続する第1インナーリードと、

前記複数のインナーリードのうち、前記第1インナーリードと隣り合うインナーリードであって、第2ワイヤにより前記第2パッドと接続する第2インナーリードと、

10 前記半導体チップの辺に沿った第2列上であって、前記第1パッドと第2パッドとの間に位置する第3パッドと、

前記半導体チップと前記第1インナーリードおよび第2インナーリードとの間に前記半導体チップの辺に沿って配置される第1バスバーとを有し、

15 前記第3パッドは、前記第1ワイヤと第2ワイヤの間を通過する第3ワイヤにより第1バスバーと接続されていることを特徴とする半導体装置。

28. 請求の範囲第27項記載の半導体装置であって、前記第1および第2パッドは主に信号用のパッドであり、前記第3パッドは主に電源電位を供給するパッドであり、前記第1列は、前記第2列よりも前記半導体チップの端側に配置されていることを特徴とする半導体装置。

20

29. 請求の範囲第27項記載の半導体装置であって、前記第1および第2パッドは主に信号用のパッドであり、前記第3パッドは主に電源電位を供給するパッドであり、前記第1列は、前記第2列よりも前記半導体チップの内側に配置されていることを特徴とする半導体装置。

25 30. 請求の範囲第27項記載の半導体装置であって、前記第1および第2パッドが前記第1列上に繰り返して配置され、前記第3パッドが前記第2列上に繰り返して配置されることにより、千鳥状のパッド配置となることを特徴とする半導体装置。

31. 半導体チップを囲んで配置する複数のインナーリードと、

前記半導体チップの第1列上に配列し、ワイヤにより前記複数のインナーリードに接続する複数の入出力パッドと、

前記半導体チップと前記複数のインナーリードとの間に、前記第1列の方向に沿って配置し、第1電位が供給される第1バスバーと、

- 5 前記半導体チップと前記複数のインナーリードとの間に、前記第1列の方向に沿って配置し、第2電位が供給される第2バスバーと、

前記複数の入出力パッドの各々の間に配置され、ワイヤにより前記第1および第2バスバーと接続する複数の第1および第2電源パッドとを有し、

- 10 前記入出力パッド、前記第1電源パッド、前記入出力パッド、前記第2電源パッドの順に配列されることを特徴とする半導体装置。

32. 第1電位と第2電位との間に電流経路を有するトランジスタを含む第1回路部と、

第3電位と第4電位との間に電流経路を有するトランジスタと、降圧回路を含む第2回路部と、

- 15 前記第1回路部へ前記第1電位を供給する第1パッドと、

前記第1回路部へ前記第2電位を供給する第2パッドと、

前記降圧回路に配線により接続する第1選択パッドと、

前記降圧回路に配線により接続する第2選択パッドと、

- 20 前記第1および第2回路を含む半導体チップを囲むように配置される複数のインナーリードと、

前記半導体チップと前記複数のインナーリードとの間に配置され、ワイヤにより前記第1パッドと接続され、前記第1電位が供給される第1バスバーと、

前記半導体チップと前記複数のインナーリードとの間に配置され、ワイヤにより前記第2パッドと接続され、前記第2電位が供給される第2バスバーと、

- 25 前記半導体チップと前記複数のインナーリードとの間に配置され、ワイヤにより前記第3パッドと接続され、前記第3電位が供給される第3バスバーとを有し、

、

ワイヤボンディングにより前記第1選択パッドが前記第1バスバーと接続された場合は、前記降圧回路が前記第1電位を降圧して前記第3電位を前記第2回路

部へ供給し、

ワイヤボンディングにより前記第2選択パッドが前記第3バスバーと接続した
された場合は、前記降圧回路を通さずに前記第3電位が前記第3バスバーから前
記第2回路部へ供給されることを特徴とする半導体装置。

- 5 33. 第1電位と第2電位との間に電流経路を有するトランジスタを含んで構成
される第1回路部と、

第3電位と第4電位との間に電流経路を有するトランジスタを含んで構成され
る第2回路部と、

複数のインナーリードと、

- 10 前記第1回路部へ前記第1電位を供給する第1パッドと、
前記第1回路部へ前記第2電位を供給する第2パッドと、
前記第2回路部へ前記第3電位を供給する第3パッドと、
前記第2回路部へ前記第4電位を供給する第4パッドと、

- 15 前記第1および第2回路部、前記第1および第4パッドを含むチップの外周を
囲むように配置され、ワイヤにより前記第1および第3パッドが接続される第1
リング状バスバーと、

前記第1および第2回路部、前記第1および第4パッドを含むチップの外周を
囲むように配置され、ワイヤにより前記第2および第4パッドが接続される第2
リング状バスバーとを有し、

- 20 前記第1リング状バスバーは、前記第1パッドが接続する部分と前記第3パッ
ドが接続する部分との間に切り込みが入ることにより電氣的に絶縁され、

前記第2リング状バスバーは、前記第2パッドが接続する部分と前記第4パッ
ドが接続する部分との間に切り込みが入ることにより電氣的に絶縁されることを
特徴とする半導体装置。

- 25 34. 請求の範囲第33項記載の半導体装置であって、

前記第1リング状バスバーの前記第1パッドが接続する部分は、前記第1電位
が供給されるインナーリード部を有し、

前記第1リング状バスバーの前記第3パッドが接続する部分は、前記第3電位
が供給されるインナーリード部を有し、

前記第 1 リング状バスバーの前記第 2 パッドが接続する部分は、前記第 2 電位が供給されるインナーリードとワイヤにより接続され、

前記第 2 リング状バスバーの前記第 4 パッドが接続する部分は、前記第 4 電位が供給されるインナーリードとワイヤにより接続されていることを特徴とする半

5 導体装置。

35. 請求の範囲第 34 項記載の半導体装置であって、

前記第 1 回路部へ第 5 電位を供給する第 5 パッドと、

前記第 2 回路部へ第 6 電位を供給する第 6 パッドと、

10 前記第 1 および第 2 回路部、前記第 1 および第 4 パッドを含むチップの外周を囲むように配置され、ワイヤにより前記第 5 および第 6 パッドが接続される第 3 リング状バスバーとをさらに有し、

前記第 3 リング状バスバーは、前記第 5 パッドが接続する部分と前記第 6 パッドが接続する部分との間に切り込みが入ることにより電氣的に絶縁されることを特徴とする半導体装置。

15 36. 請求の範囲第 35 項記載の半導体装置であって、前記第 3 リング状バスバーの前記第 5 パッドが接続する部分は、前記第 5 電位が供給されるインナーリードとワイヤにより接続され、前記第 3 リング状バスバーの前記第 6 パッドが接続する部分は、前記第 6 電位が供給されるインナーリードとワイヤにより接続されることを特徴とする半導体装置。

20 37. 請求の範囲第 33 項記載の半導体装置であって、前記第 1 回路部はデジタル回路、前記第 2 回路部はアナログ回路であることを特徴とする半導体装置。

38. 請求の範囲第 33 項記載の半導体装置であって、前記第 1 および第 4 パッドを複数有することを特徴とする半導体装置。

25 39. 請求の範囲第 33 項記載の半導体装置であって、前記第 1 および第 2 回路部と前記第 1 から第 4 パッドとを含む半導体チップと、前記複数のインナーリードと、前記第 1 および第 2 リング状バスバーと、前記ワイヤとは、樹脂により封止されていることを特徴とする半導体装置。

40. 主面および裏面を有する半導体チップと、
複数のインナリードおよびアウトリードと、

前記半導体チップに沿って配置された一対のバスバーとを有する半導体装置であって、

前記半導体チップは、前記主面上に形成された第1および第2の電源電位用の電極と、

- 5 前記第1の電源電位用の電極を介して一方のバスバーと電氣的に接続され、さらに前記第2の電源電位用の電極を介して他方のバスバーと電氣的に接続された回路とを有しており、

前記一対のバスバーそれぞれに前記アウトリードが連結され、前記一対のバスバーそれぞれに連結された前記アウトリードが隣接して配置されていることを特徴とする半導体装置。

4 1. 請求の範囲第40項記載の半導体装置であって、前記回路は、アナログ回路もしくは差動アンプ回路であることを特徴とする半導体装置。

4 2. 請求の範囲第41項記載の半導体装置であって、前記アナログ回路は、外部からレファレンスレベルの電位の供給を受けることを特徴とする半導体装置。

- 15 4 3. 主面および裏面を有する半導体チップと、

複数のインナリードおよびアウトリードと、

前記半導体チップに沿って配置された一対のバスバーとを有する半導体装置であって、

- 20 前記半導体チップは、前記主面上に形成された第1および第2の電源電位用の電極、および信号用の電極と、

前記第1の電源電位用の電極を介して一方のバスバーと電氣的に接続され、さらに前記第2の電源電位用の電極を介して他方のバスバーと電氣的に接続された回路とを有しており、

- 25 前記一対のバスバーそれぞれに前記アウトリードが連結され、前記一対のバスバーそれぞれに連結された前記アウトリードが、前記信号用の電極と電氣的に接続されるアウトリードを挟んで相反する側に配置されていることを特徴とする半導体装置。

4 4. 主面、裏面と、前記主面上に形成された複数の電極を有する半導体チップと、

前記半導体チップの周囲に配列された複数のインナリードと、
前記複数のインナリードのそれぞれに一体に形成された複数のアウトリードと

、
前記複数の電極および複数のインナリードのそれぞれと接続する複数のボンデ

5 イングワイヤと、

前記半導体チップと接続する板状のチップ搭載部と、

前記複数のインナリードそれぞれの先端および前記チップ搭載部と接続するテ
ープ部材とを有する半導体装置であって、

前記チップ搭載部は、前記半導体チップの主面より小さいことを特徴とする半
10 導体装置。

4 5. 主面、裏面と、前記主面上に形成された複数の電極を有する半導体チップ
と、

前記半導体チップの周囲に配列された複数のインナリードと、

前記複数のインナリードのそれぞれに一体に形成された複数のアウトリードと

15 、

前記複数の電極および複数のインナリードのそれぞれと接続する複数のボンデ
ィングワイヤと、

前記半導体チップと接続する板状のチップ搭載部と、

前記複数のインナリードそれぞれの先端および前記チップ搭載部と接続するテ
20 ープ部材とを有する半導体装置であって、

前記チップ搭載部は、前記半導体チップの主面より大きいことを特徴とする半
導体装置。

4 6. 主面および裏面を有する半導体チップと、

複数のインナリードおよびアウトリードと、

25 前記半導体チップに沿って配置された一対のバスバーと、

前記半導体チップおよび前記複数のインナリードを封止する樹脂封止体とを有
する半導体装置であって、

前記一対のバスバーそれぞれに前記アウトリードが連結されていることを特徴
とする半導体装置。

47. 請求の範囲第46項記載の半導体装置であって、前記一対のバスバーそれぞれに連結された前記アウトリードは、隣接して配置されていることを特徴とする半導体装置。

48. 請求の範囲第46項記載の半導体装置であって、前記一対のバスバーそれぞれに連結された前記アウトリードは、前記樹脂封止体の角部に配置されていることを特徴とする半導体装置。

49. 請求の範囲第46項記載の半導体装置であって、前記一対のバスバーそれぞれに連結された前記アウトリードは、前記樹脂封止体の側面のリード配列方向の中央に配置されていることを特徴とする半導体装置。

50. 請求の範囲第46項記載の半導体装置であって、前記一対のバスバーそれぞれに連結された前記アウトリードは、前記樹脂封止体の4つの角部に配置されていることを特徴とする半導体装置。

51. 請求の範囲第46項記載の半導体装置であって、前記一対のバスバーそれぞれに連結された前記アウトリードは、前記樹脂封止体の側面の複数箇所から突出していることを特徴とする半導体装置。

图 1

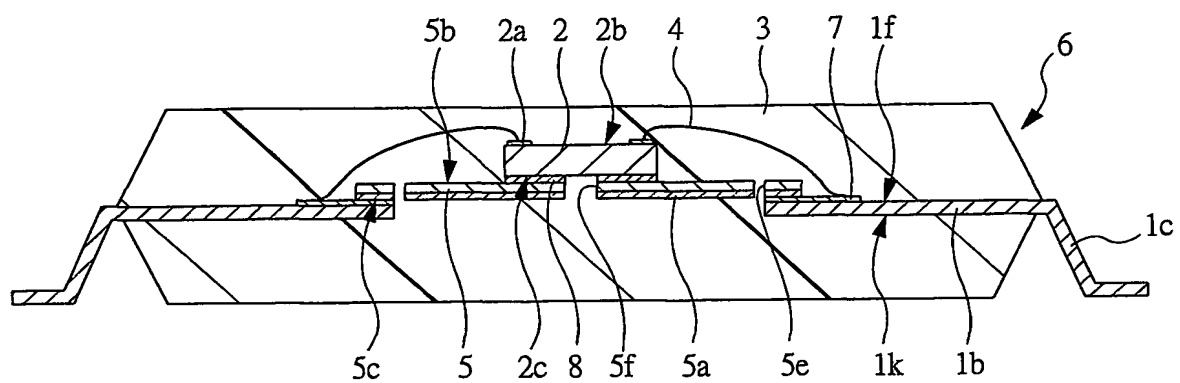
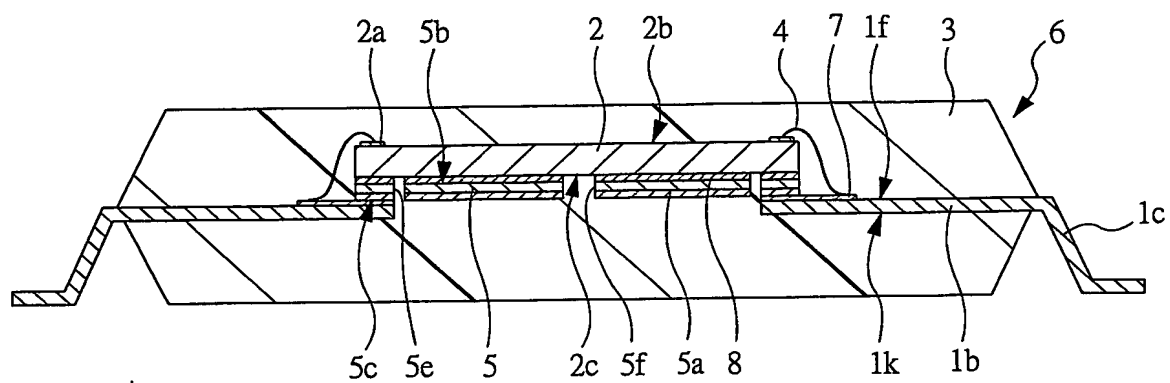
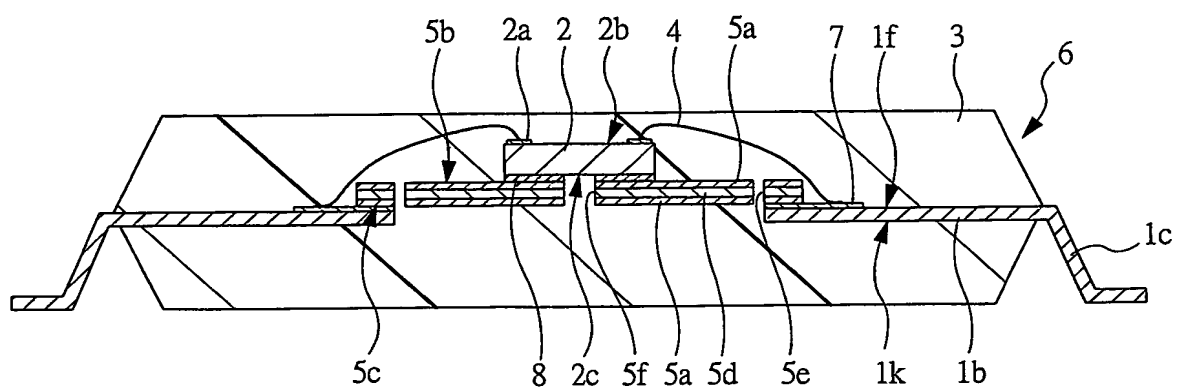


図 2



义 3



4

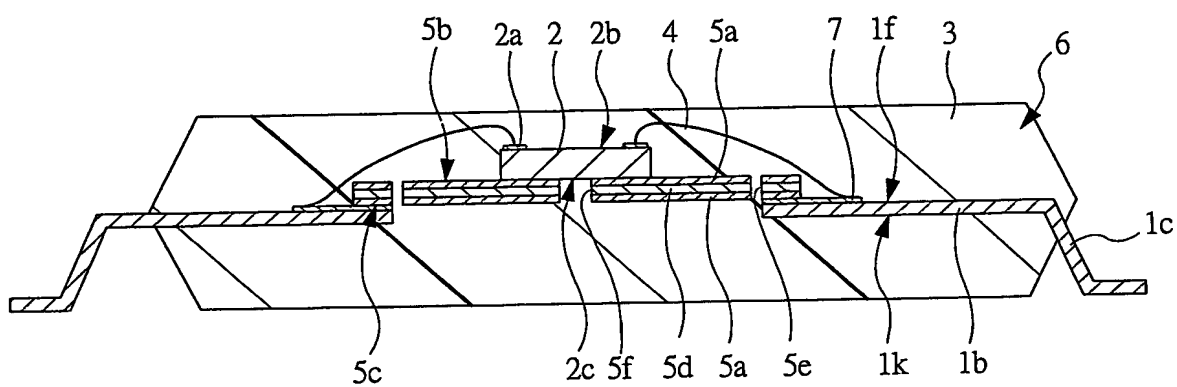


図 5

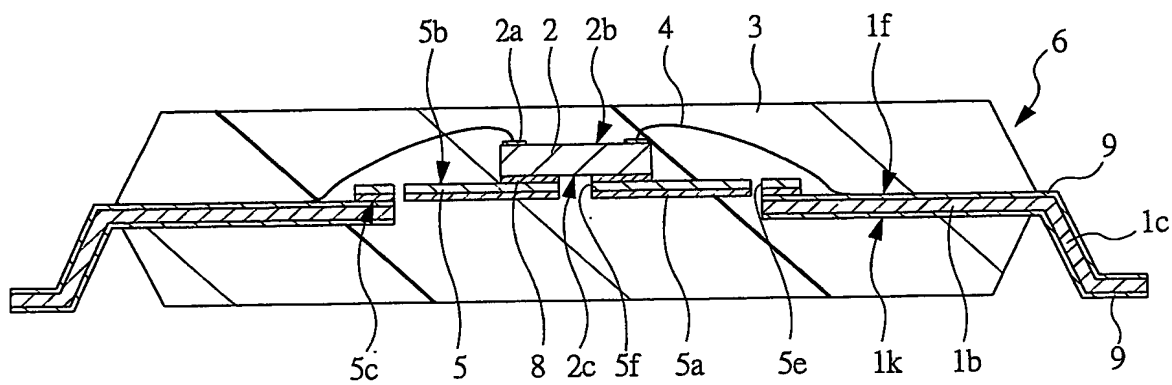


図 7

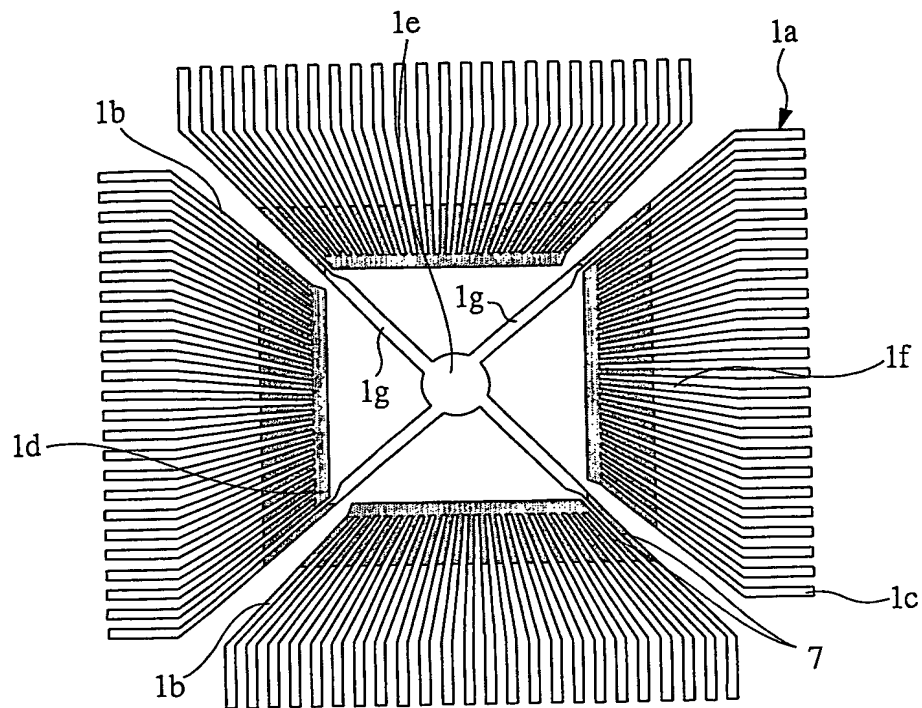


図 8

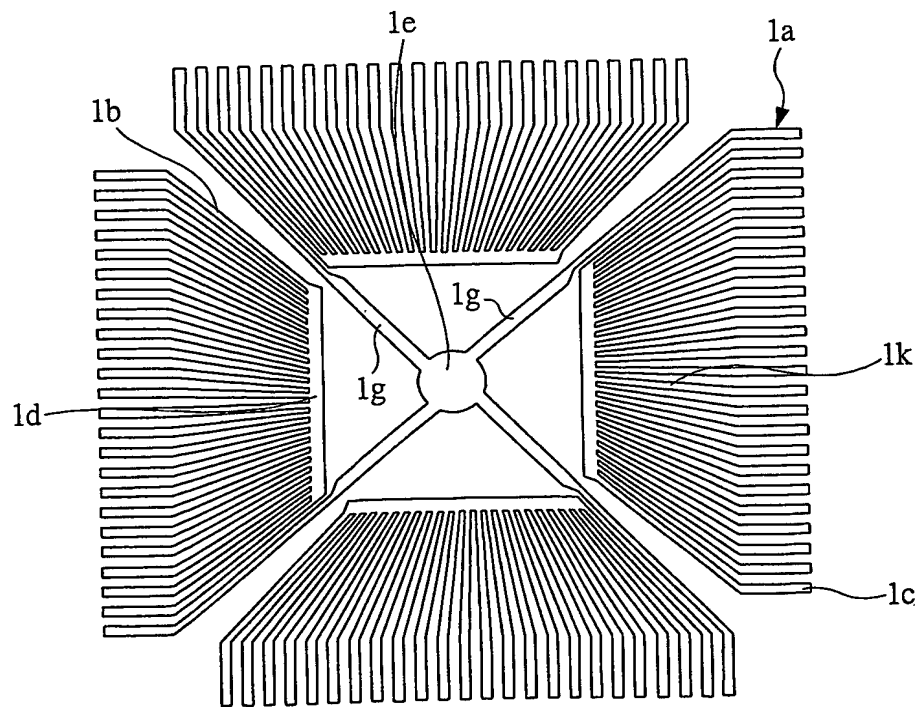


図 9

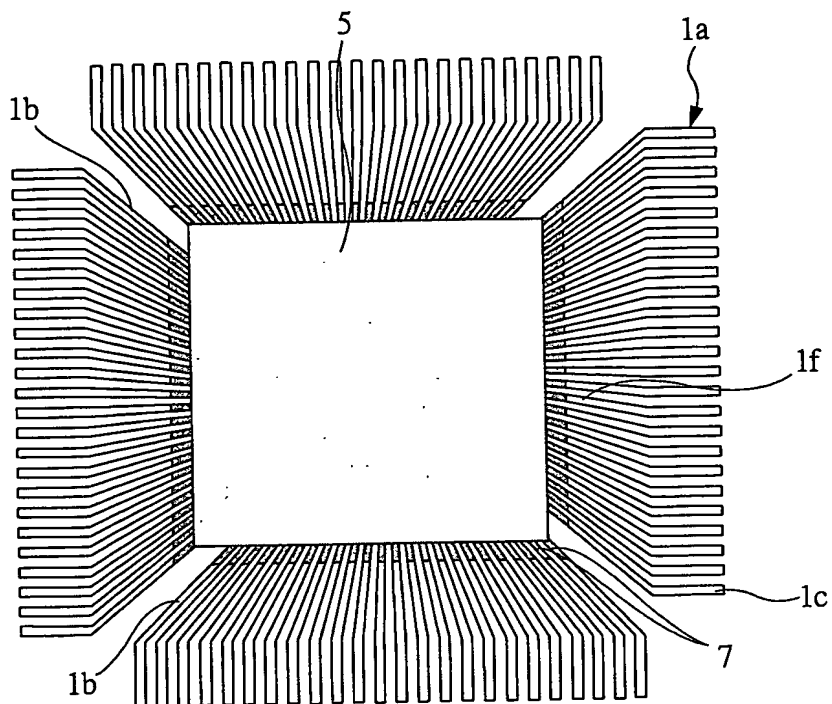
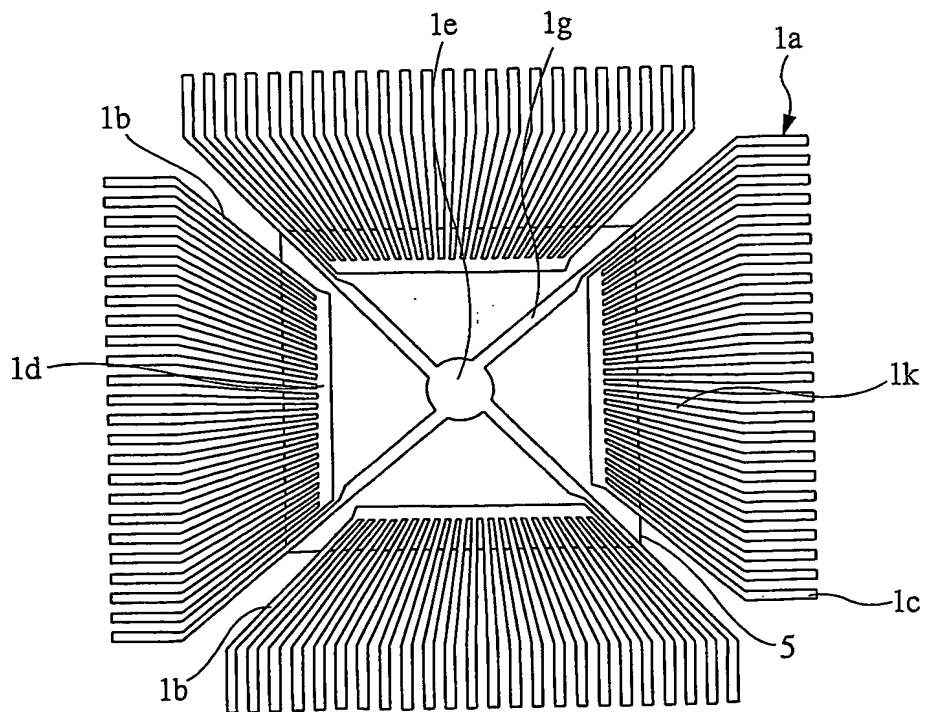
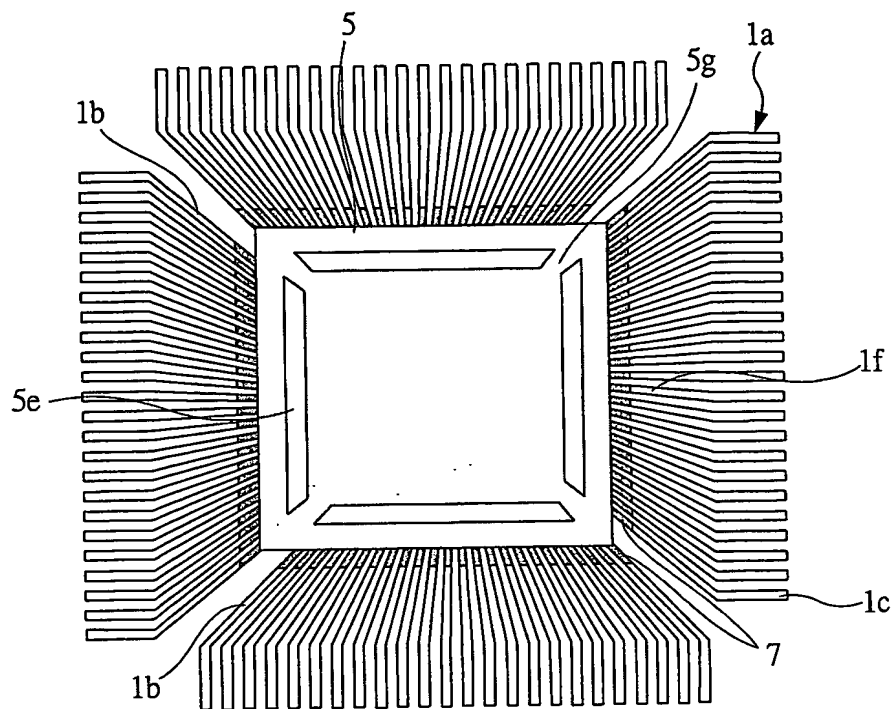


図 10



11



12

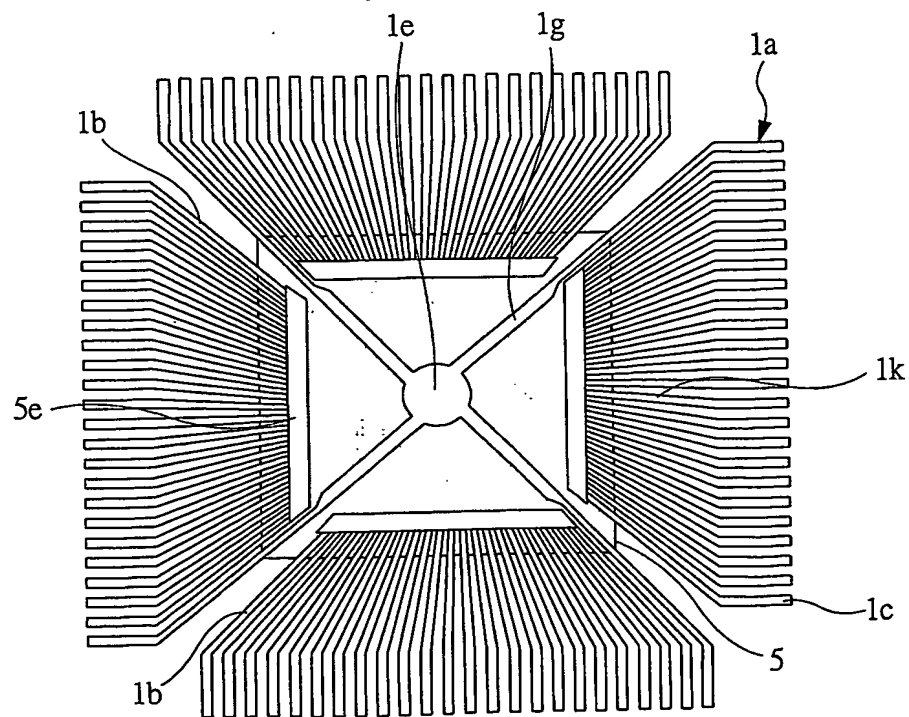


図 13

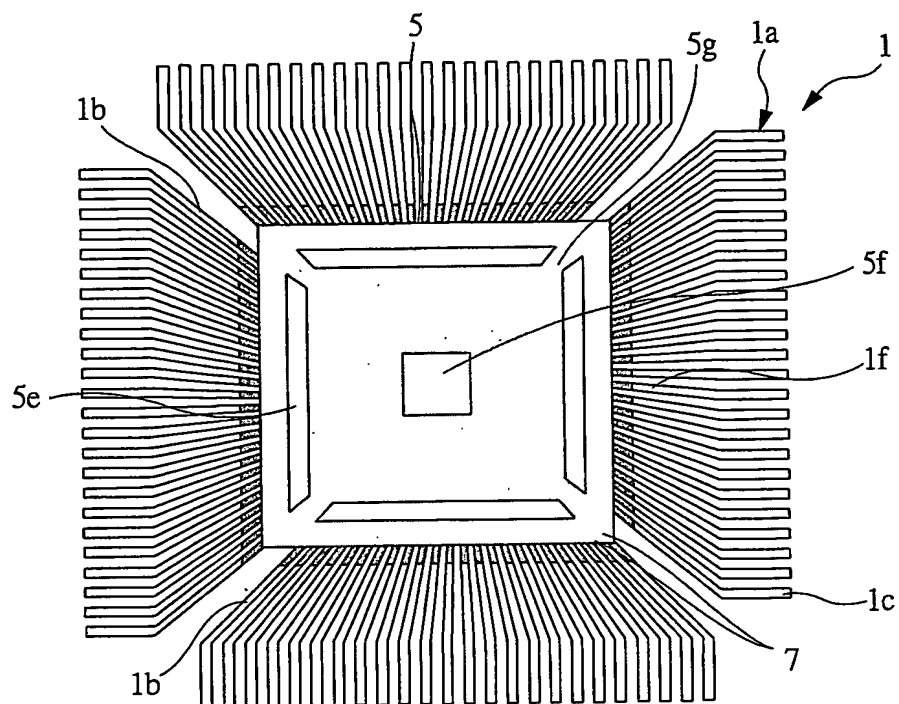


図 14

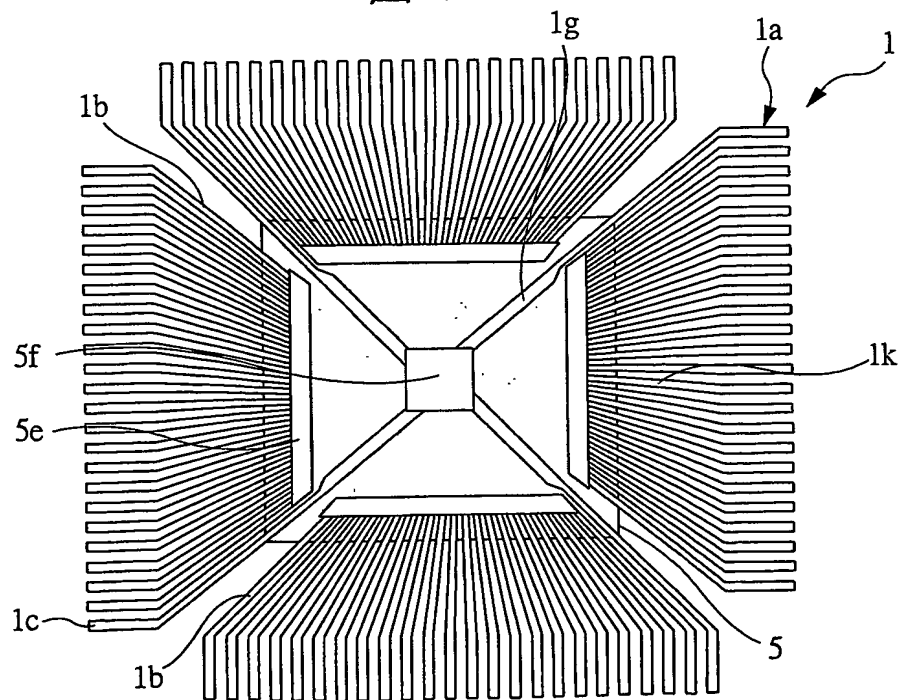


図 15

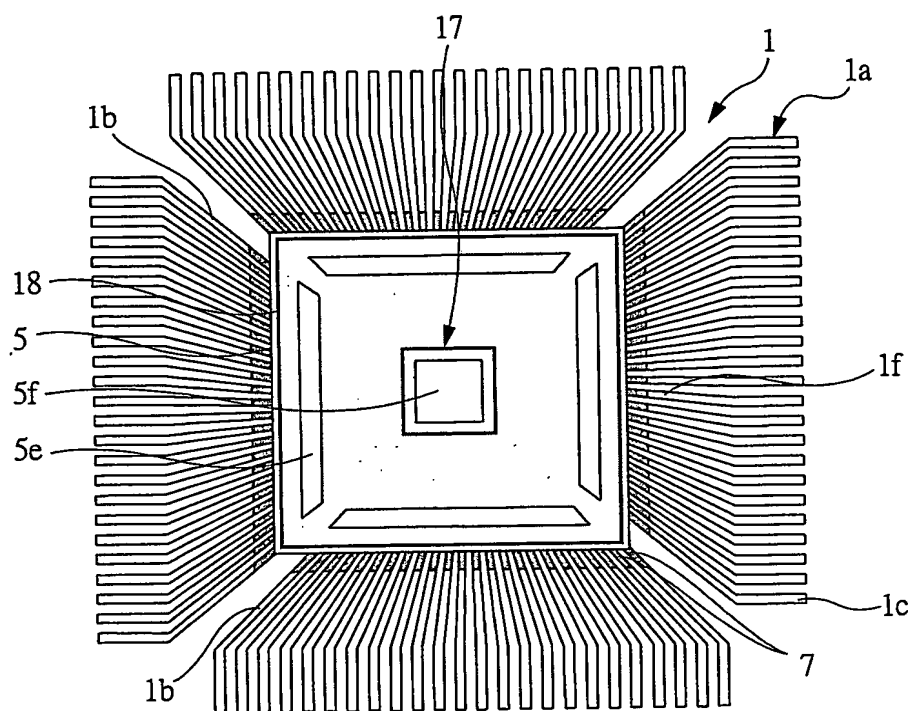


図 16

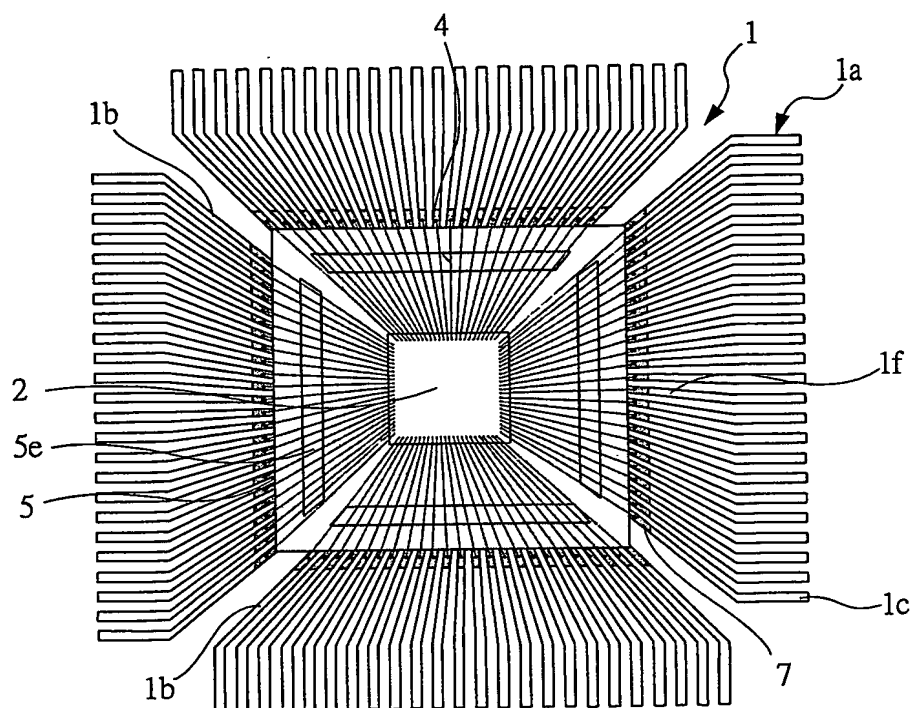


図 17

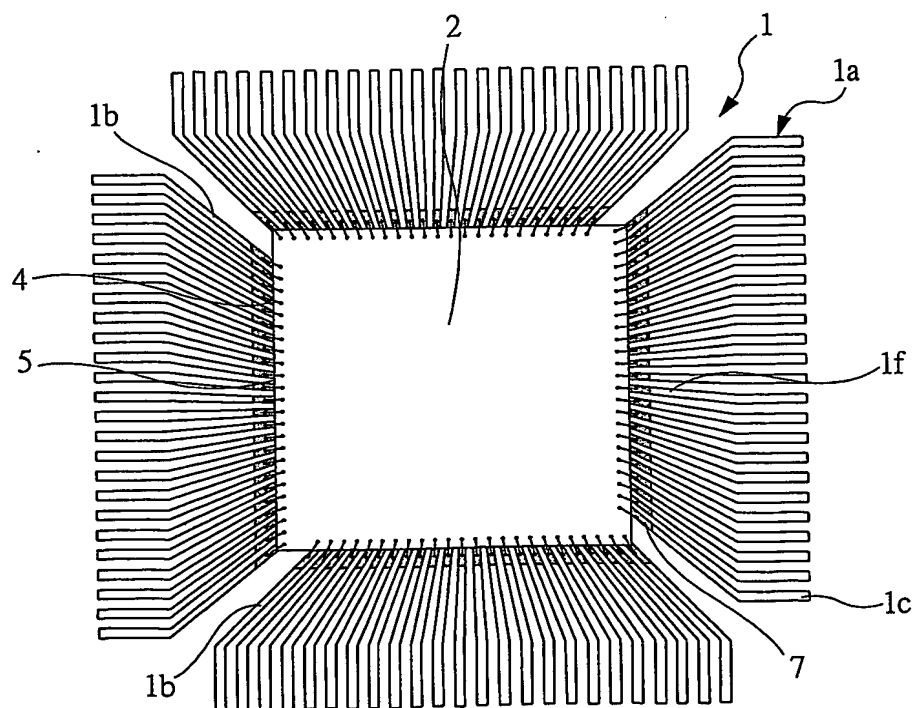


図 18

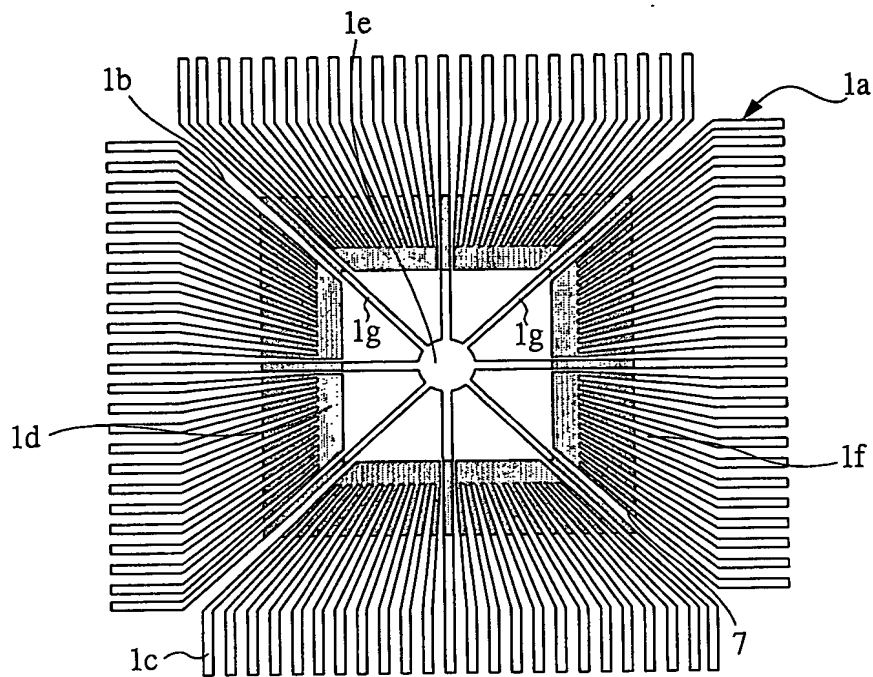


図 19

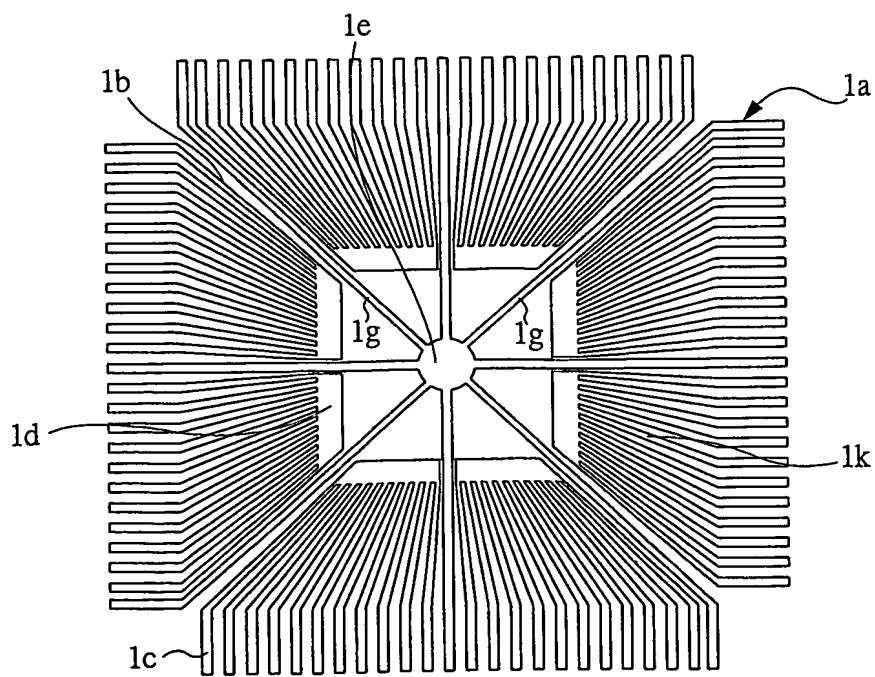


図 20

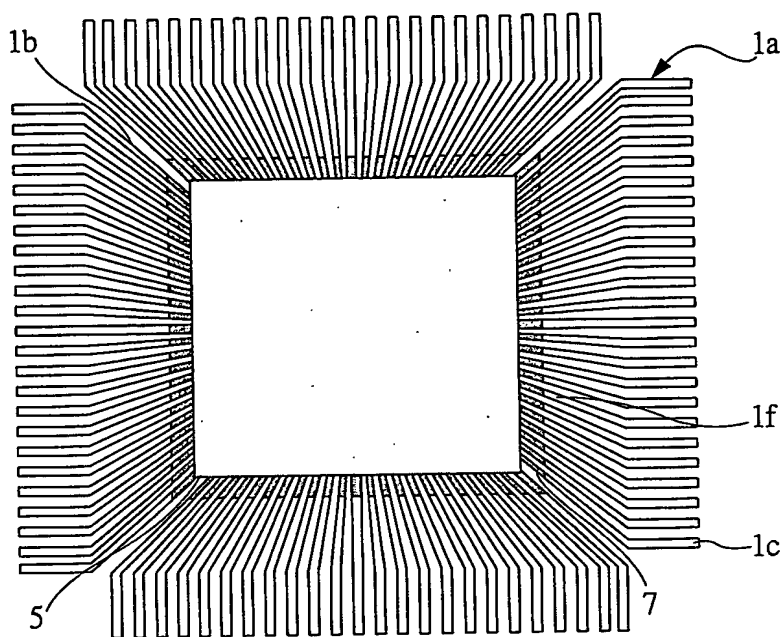


図 21

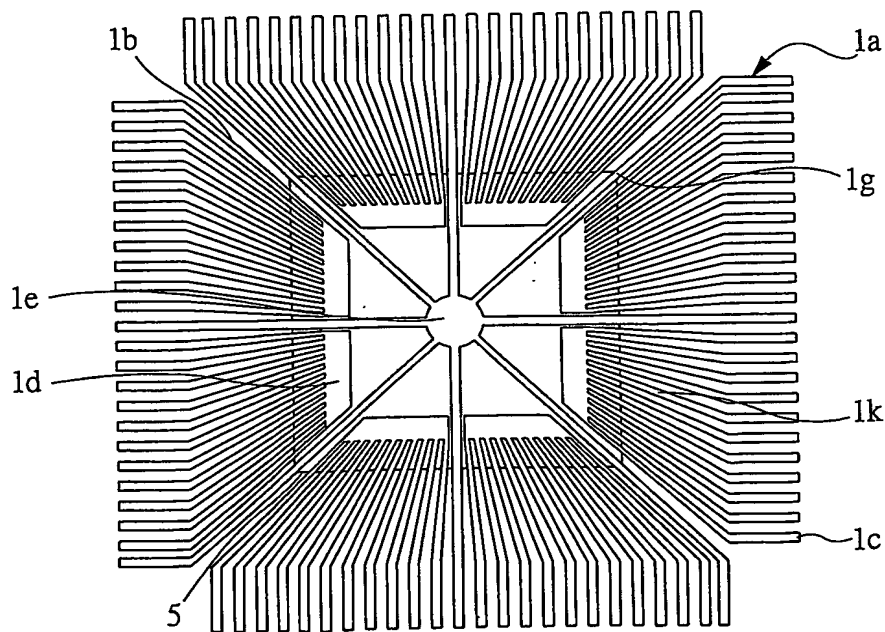


図 22

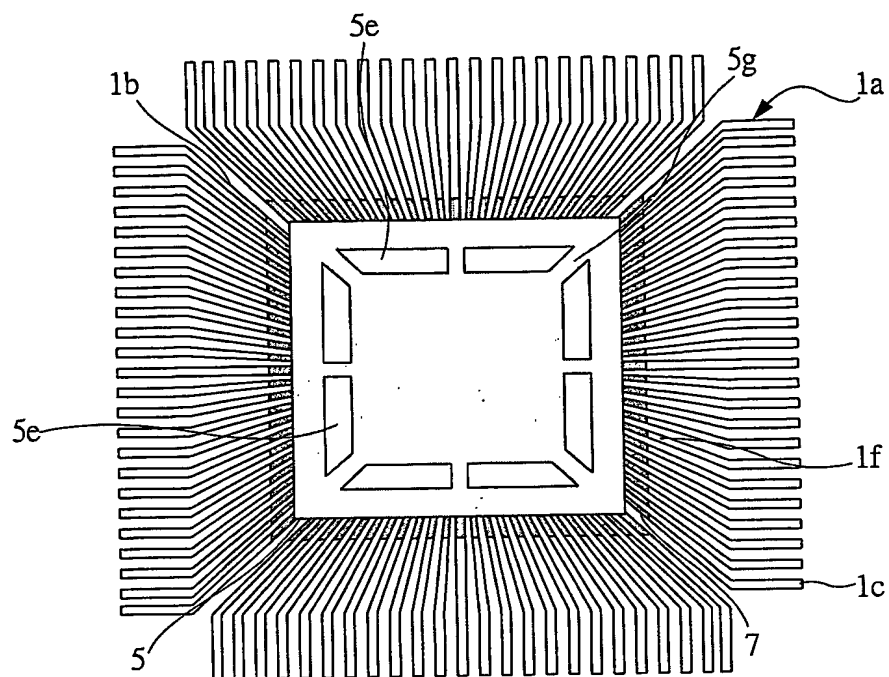


図 23

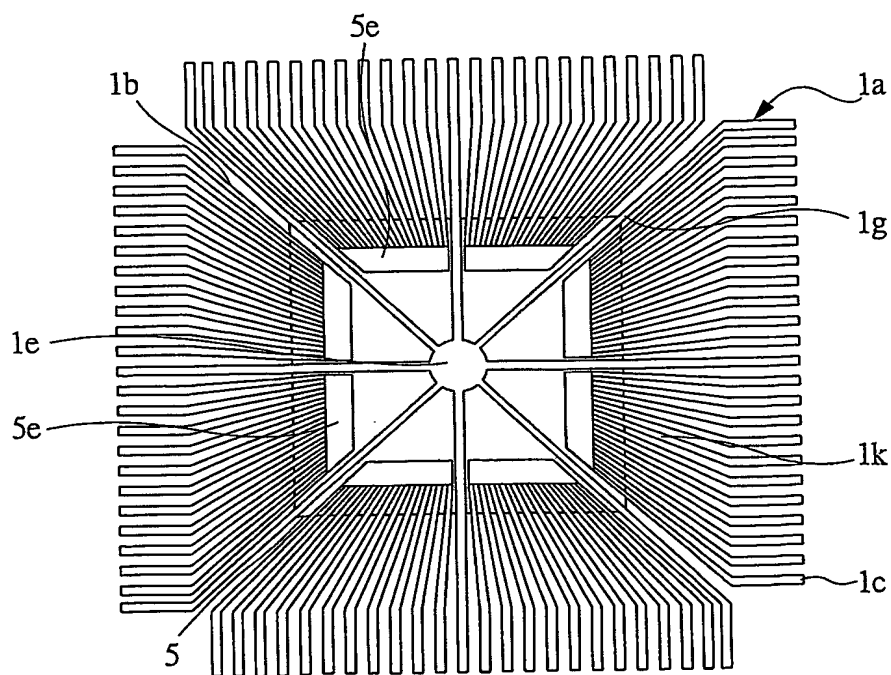


図 24

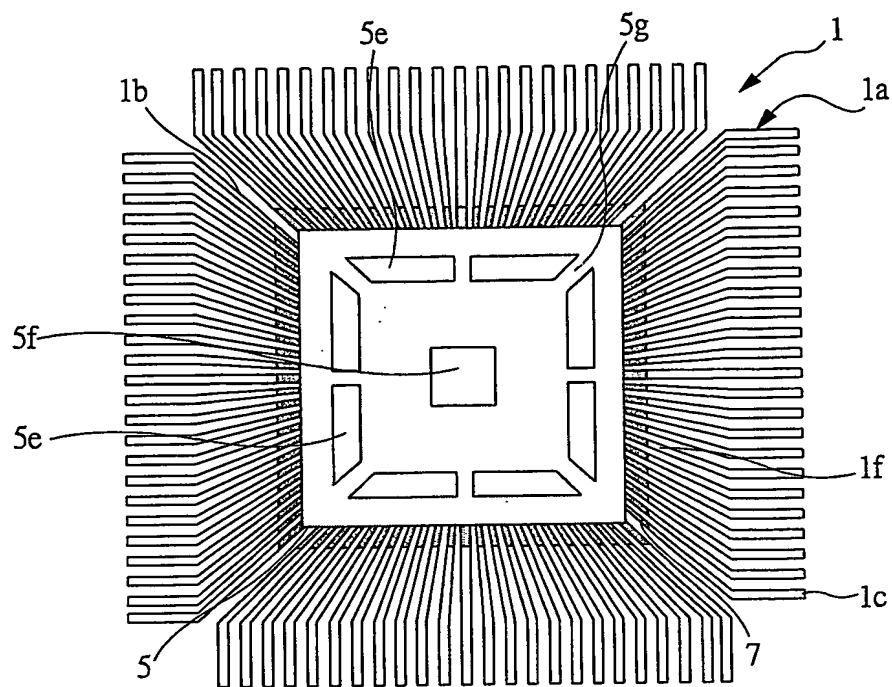


図 25

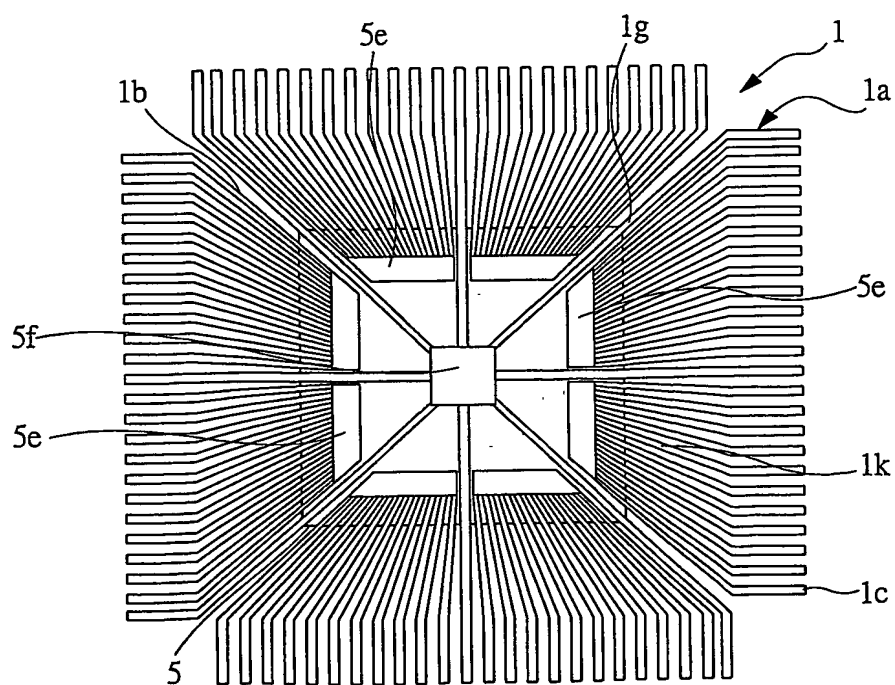


図 26

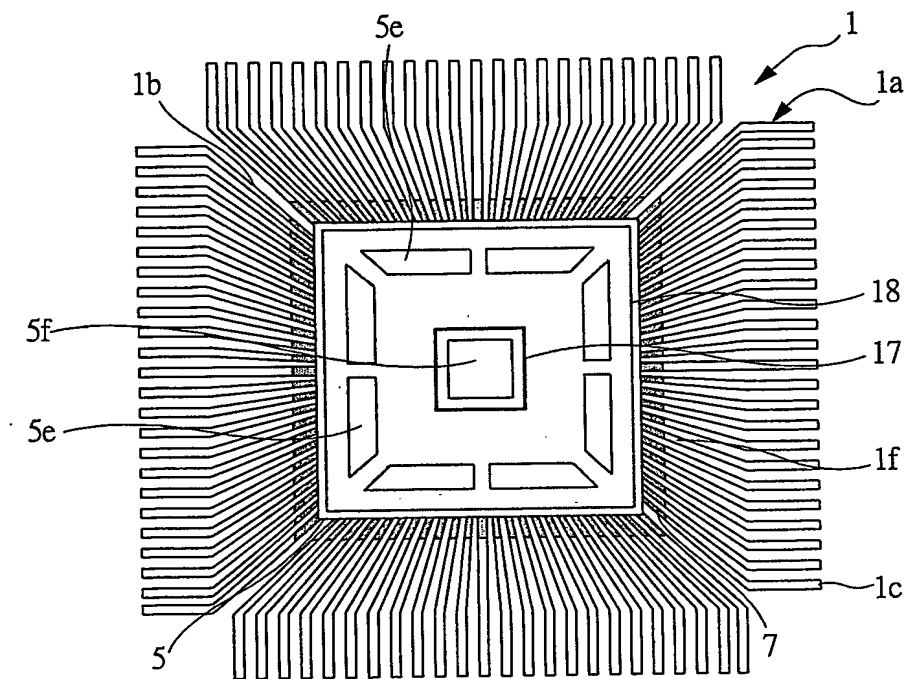


図 27

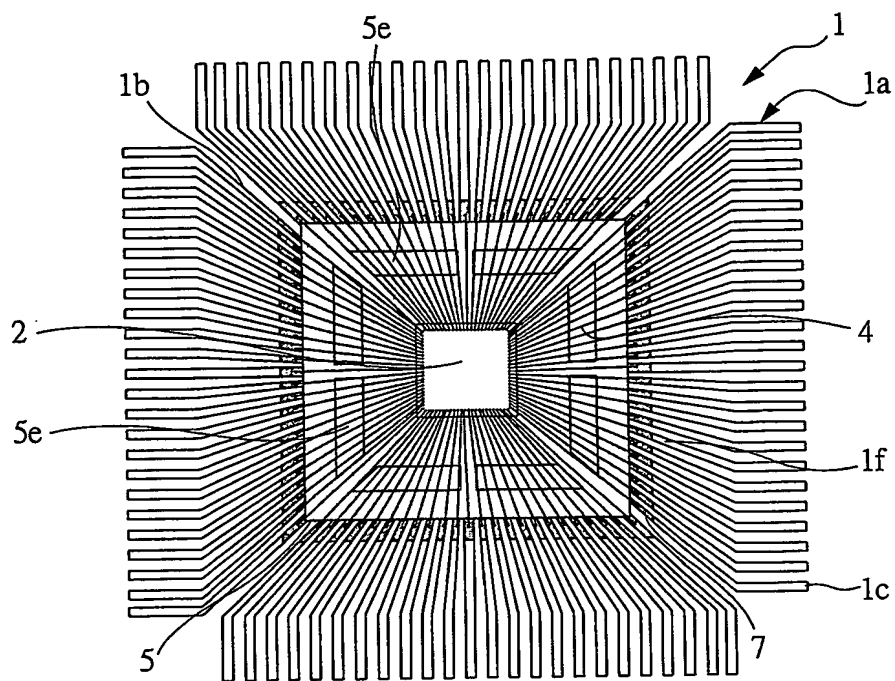


図 28

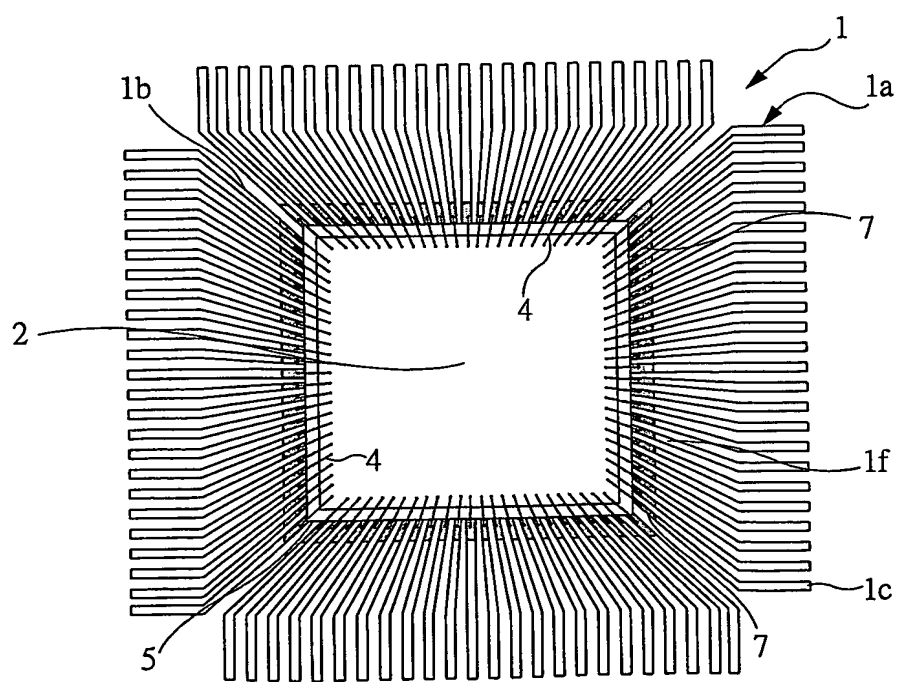


図 29

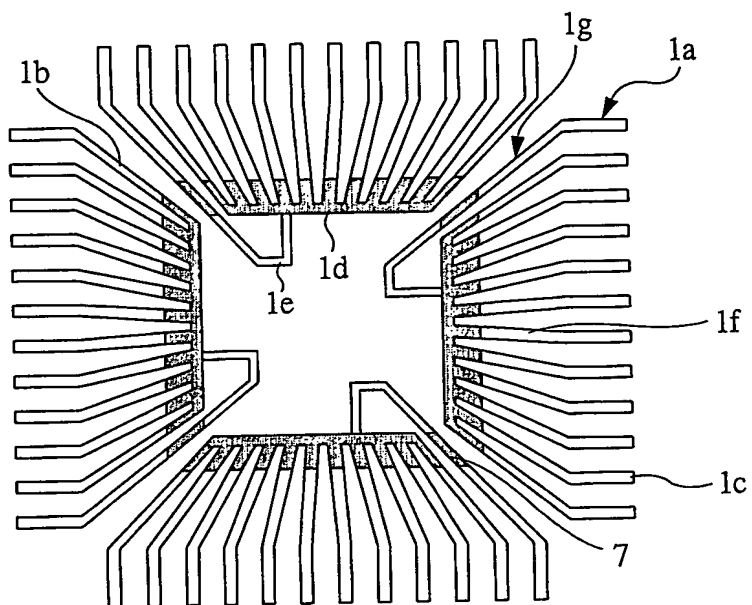
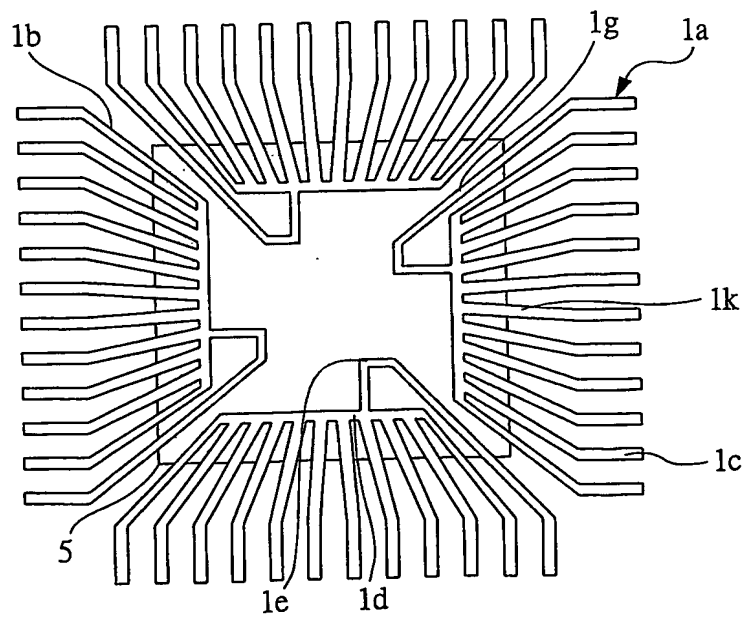


図 30



31

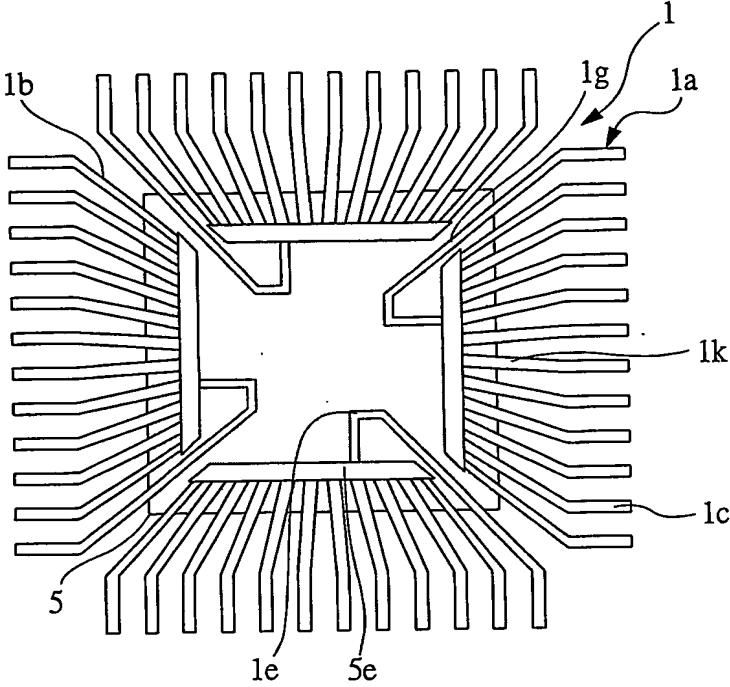


図 32

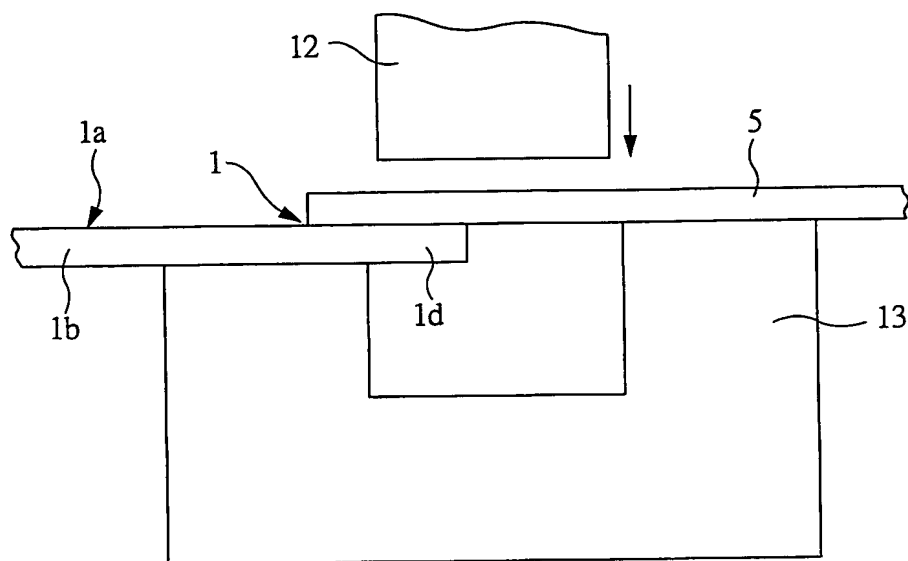
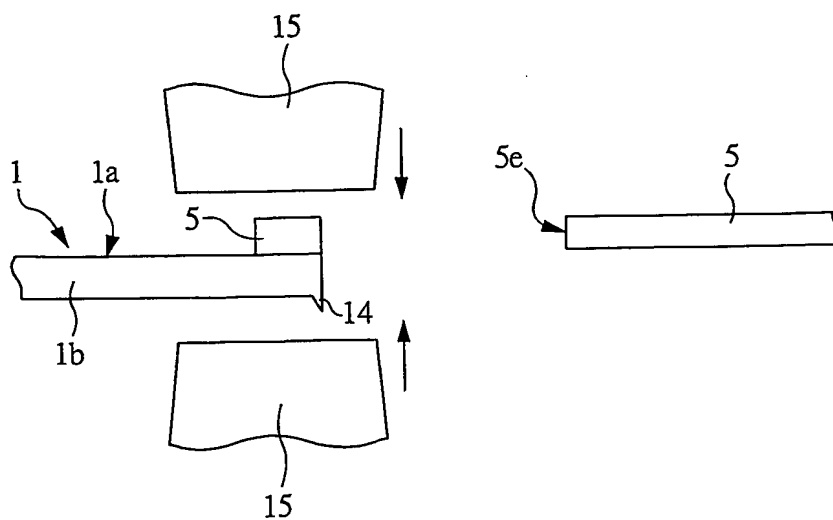
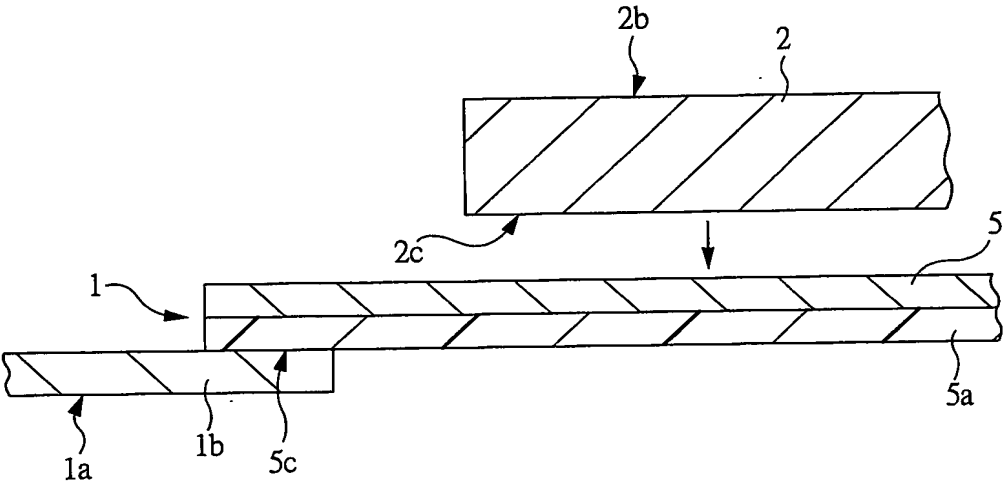


図 33



34



35

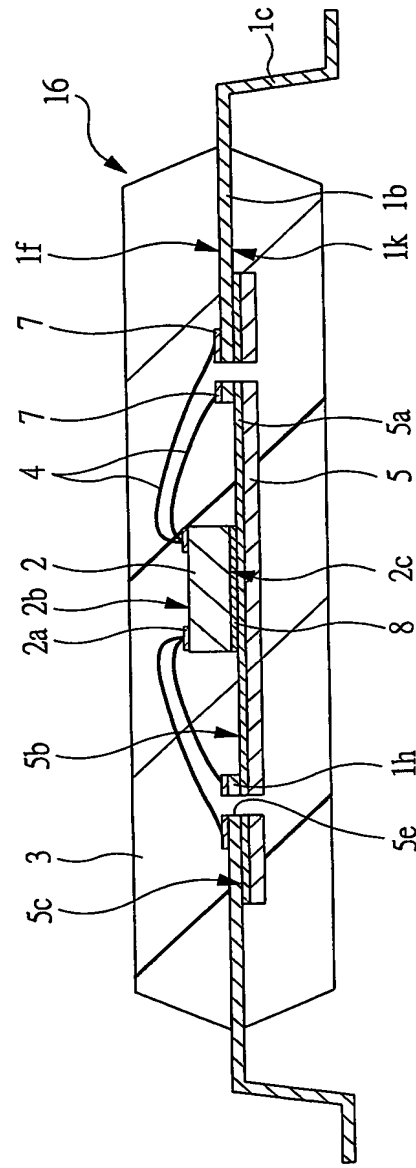


図 36

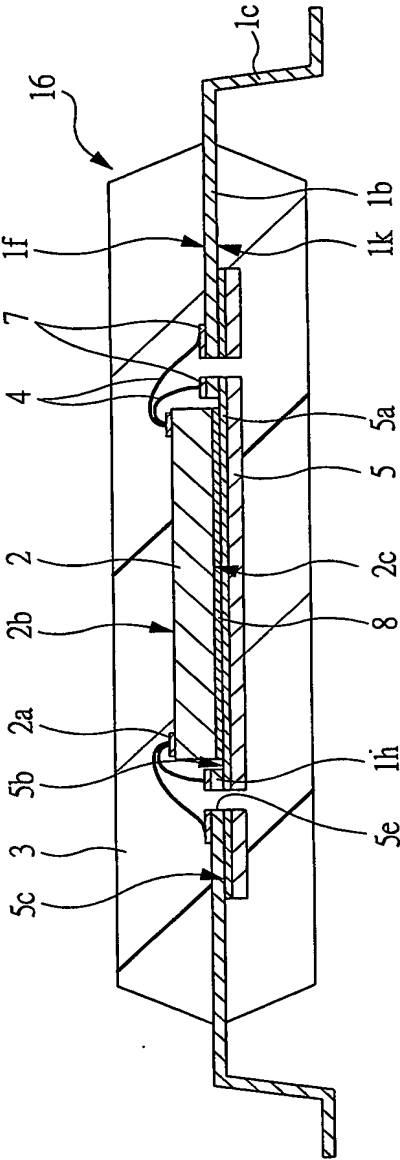


図 37

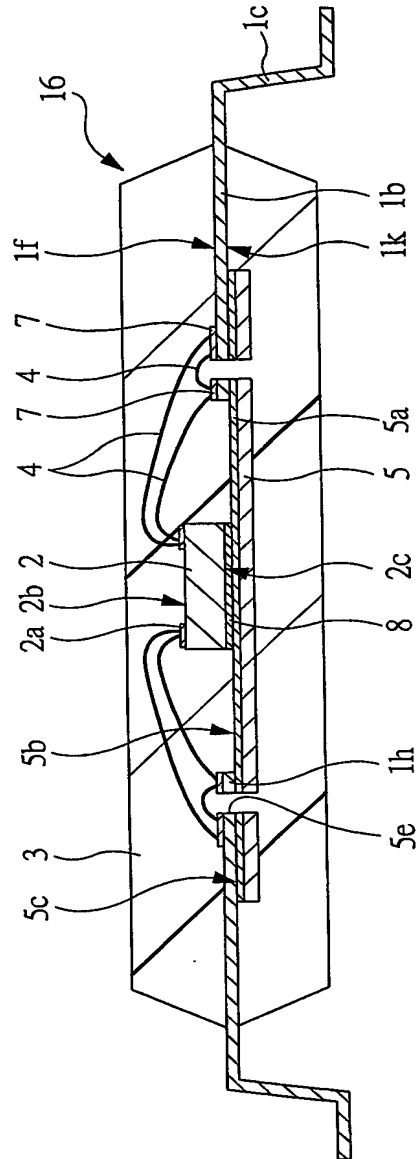


図 38

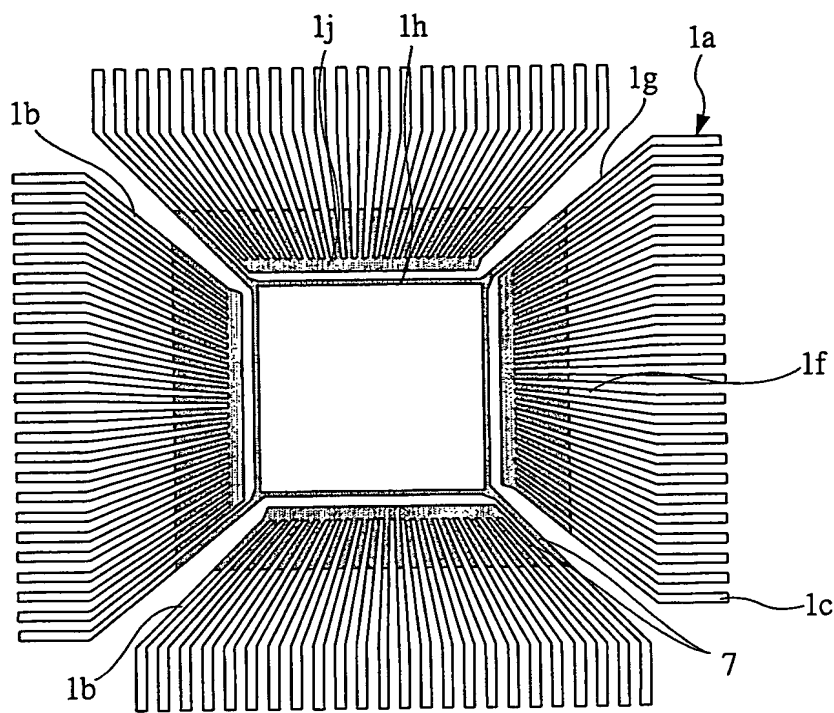


図 39

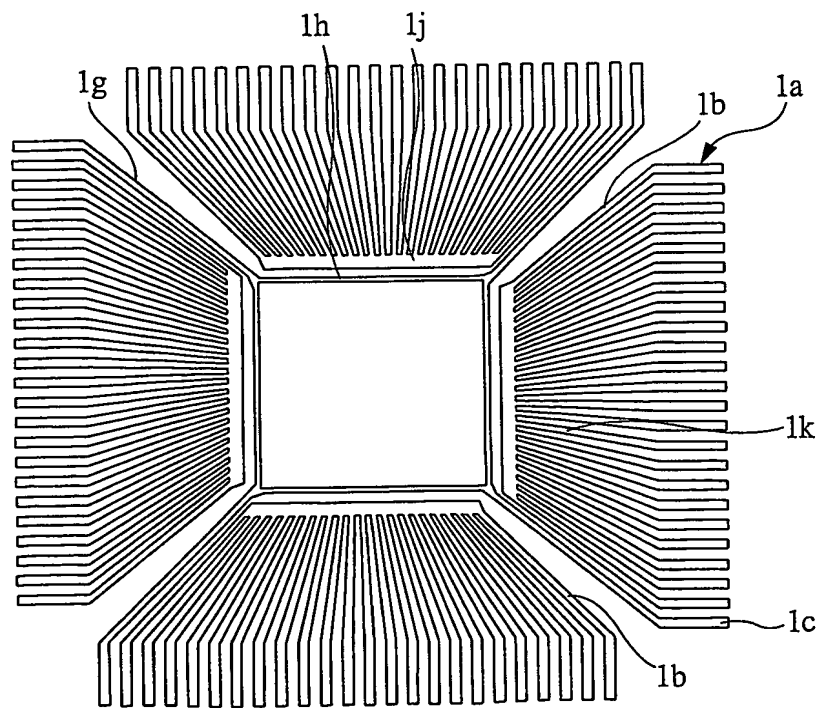


図 40

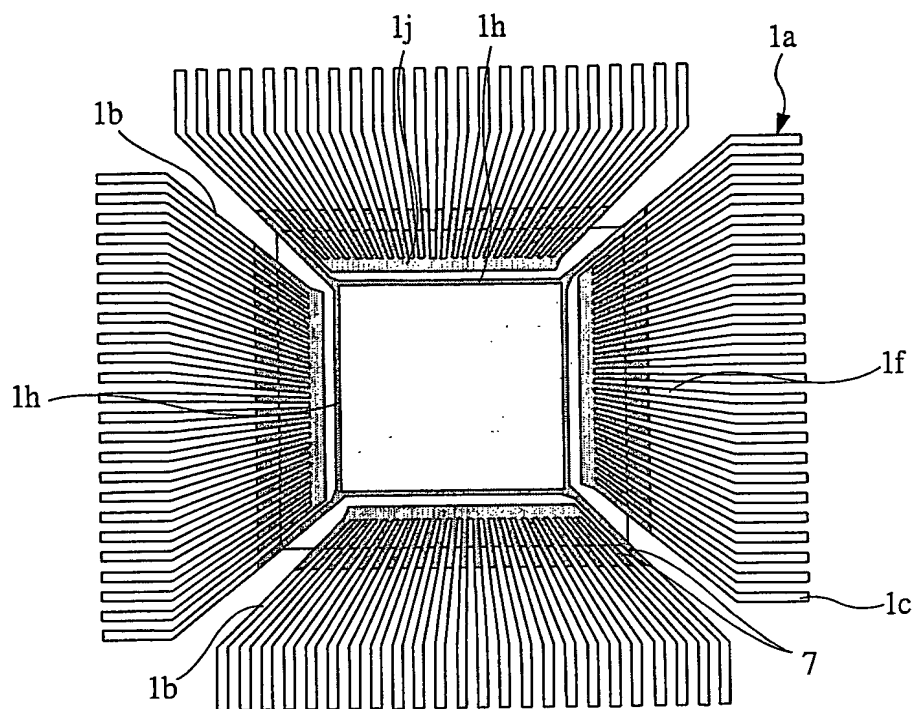
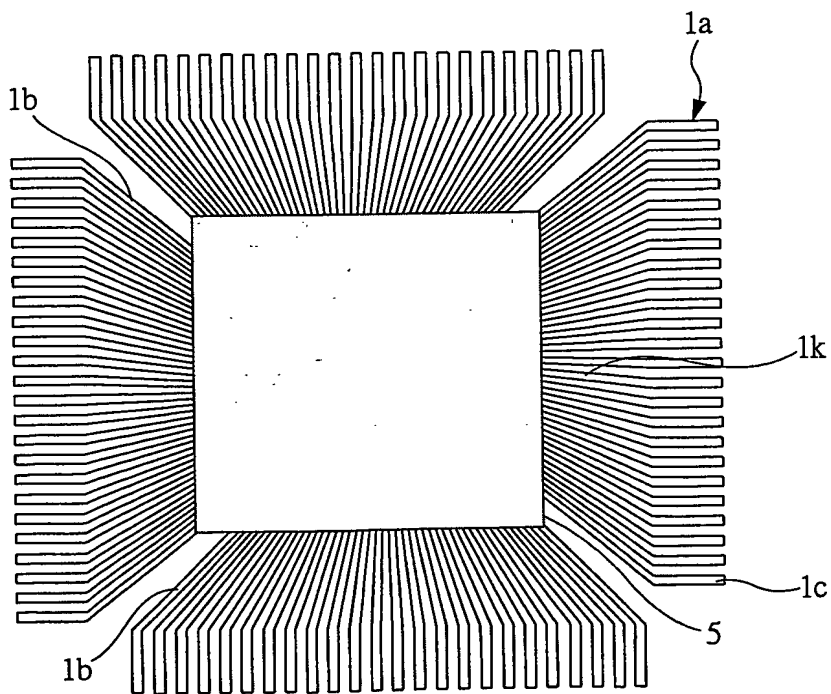
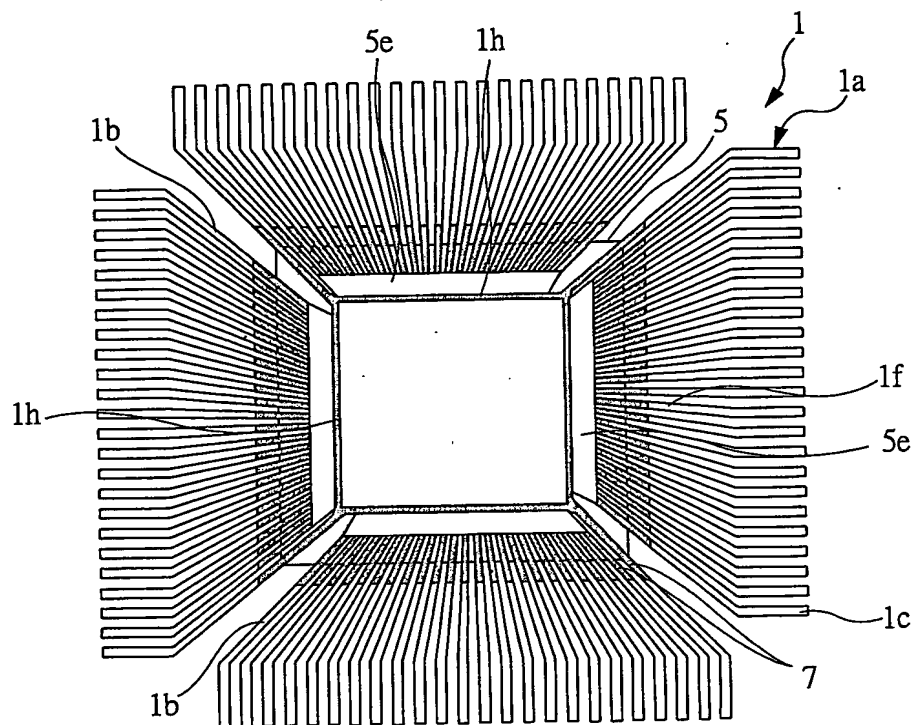


図 41



42



43

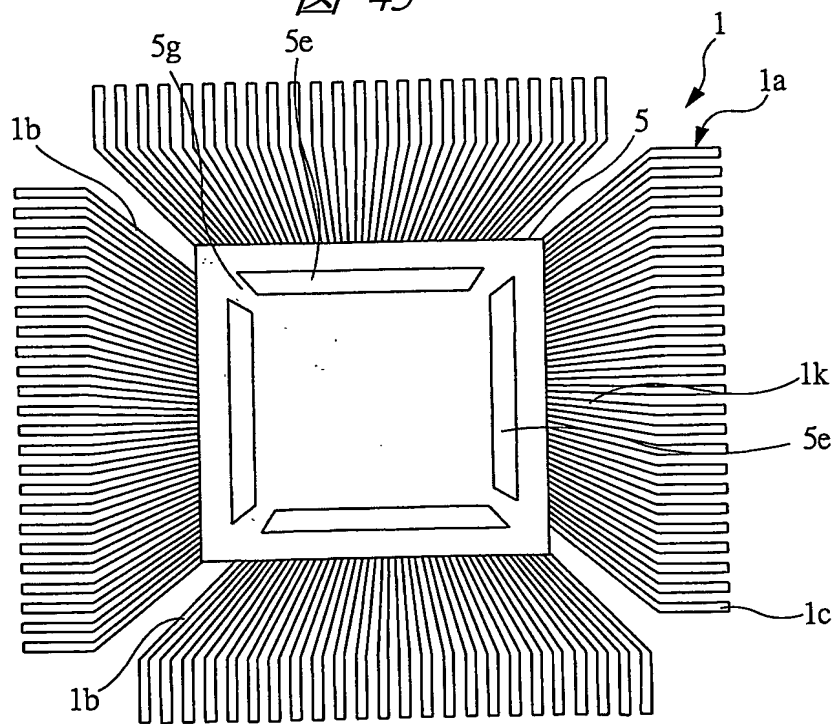


図 44

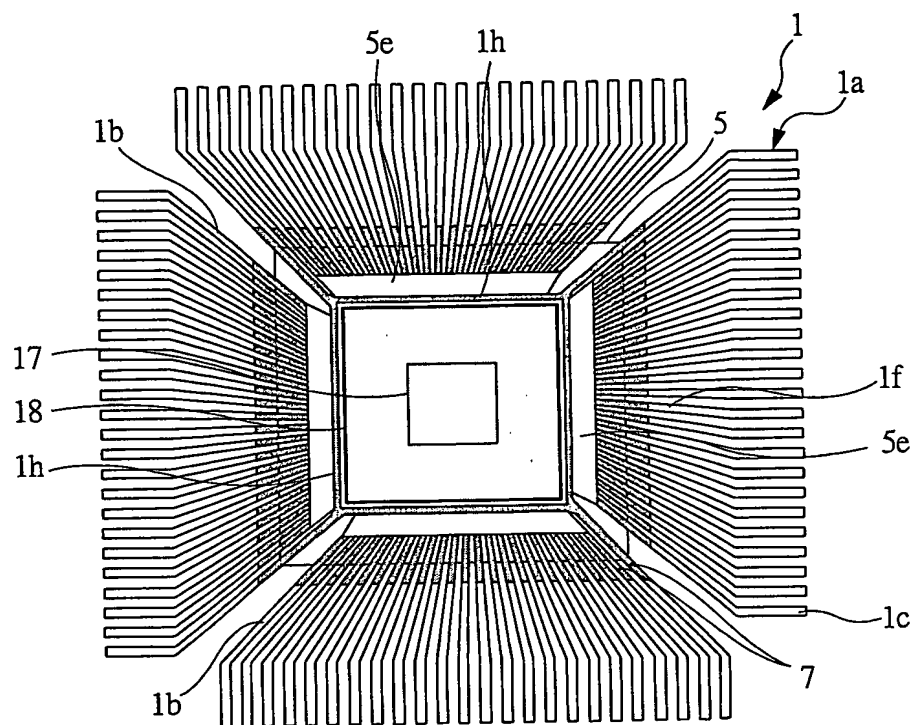


図 45

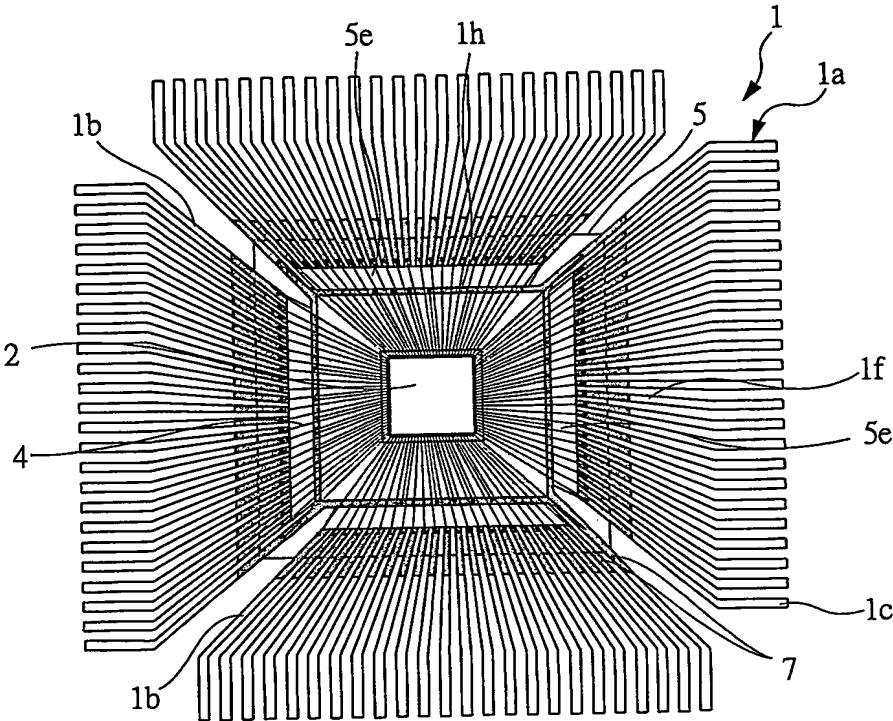


図 46

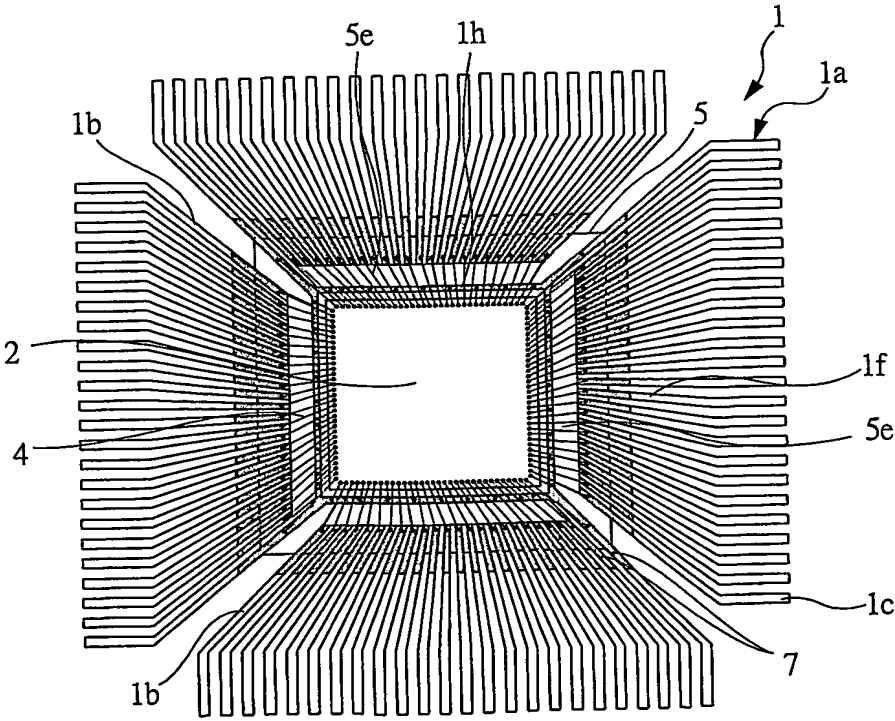


図 47

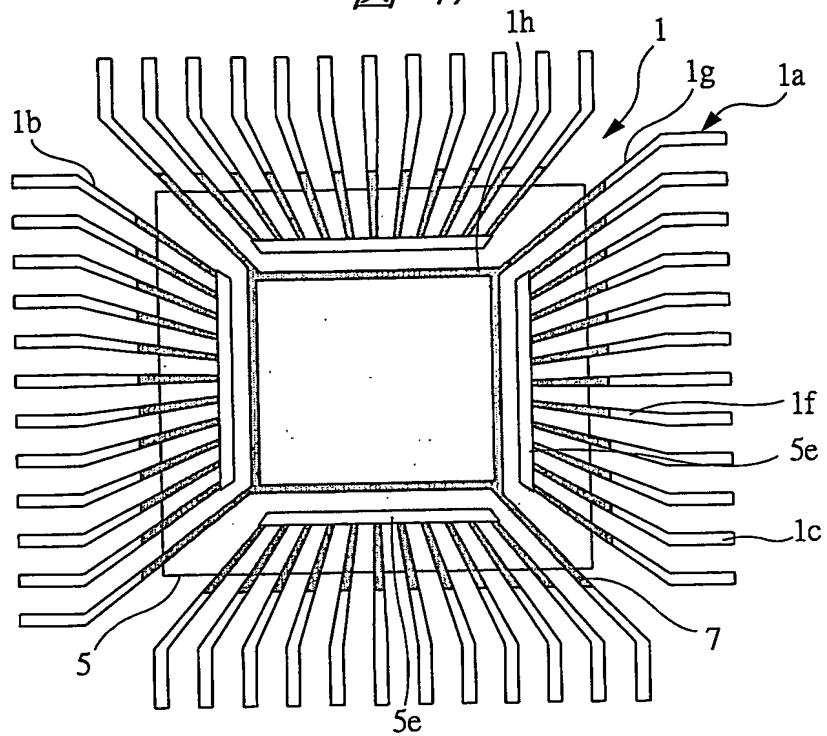


図 48

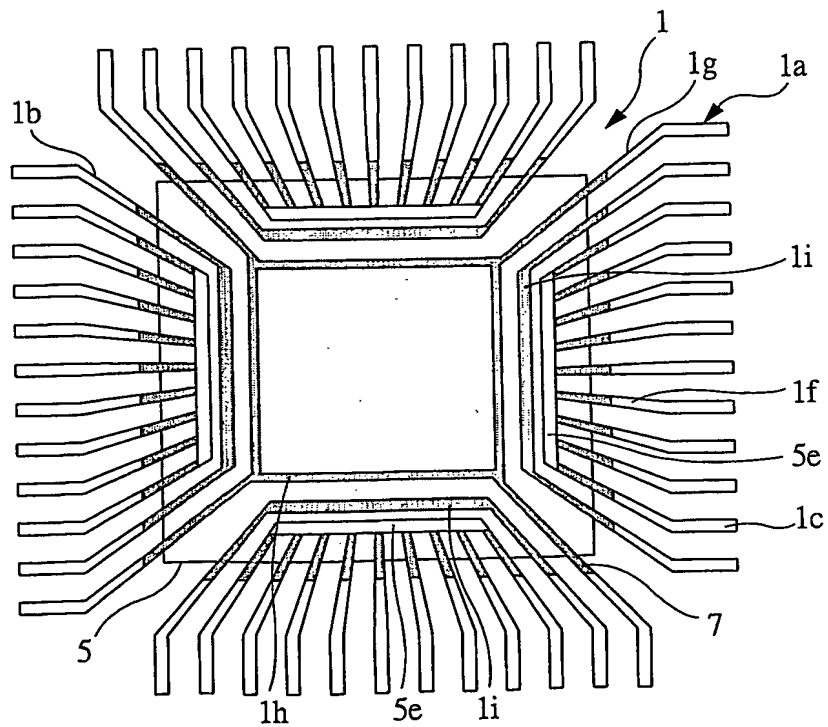


図 49

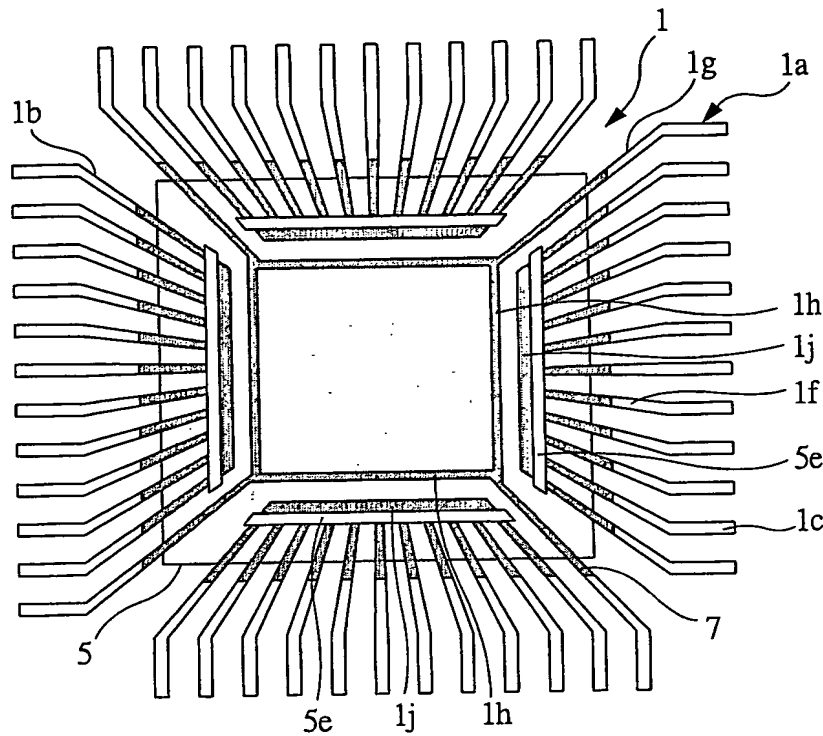


図 50

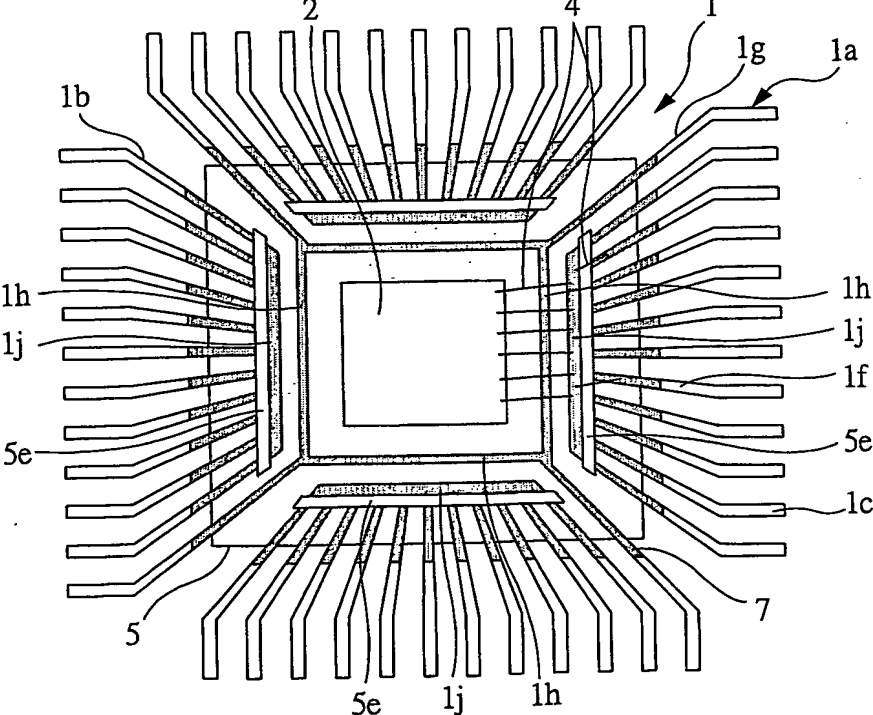


図 51

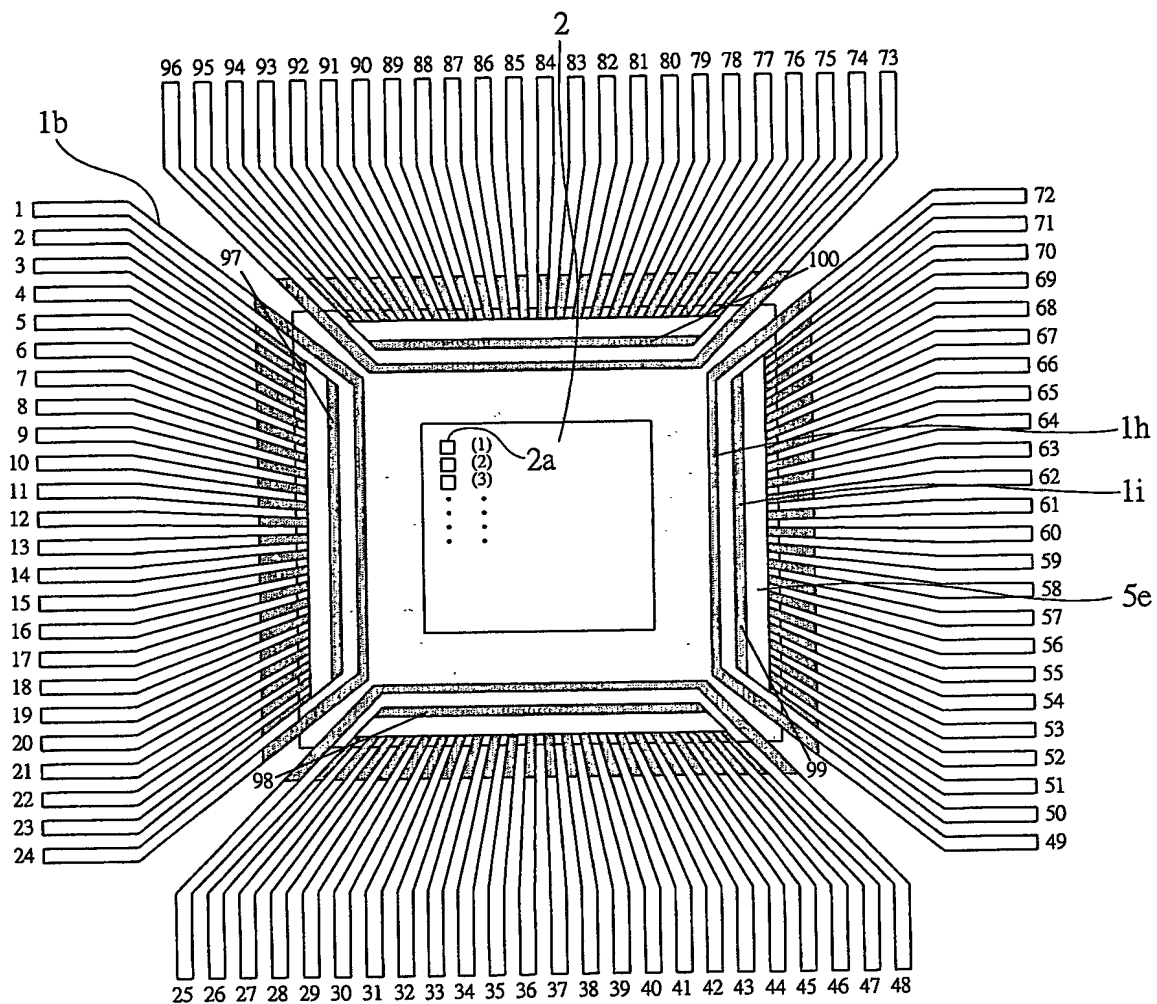


図 52

結線		結線		結線		結線	
1次側	2次側	1次側	2次側	1次側	2次側	1次側	2次側
(1)	1	(21)	97	(40)	33	•	•
(2)	2	97	17	(41)	34	•	•
(3)	3	(22)	18	(42)	35	•	•
(4)	4	(23)	19	(43)	98		
(5)	5	(24)	20	(44)	25		
(6)	6	(25)	21	98	36		
(7)	97	(26)	22	(45)	37		
(8)	1	(27)	23	(46)	38		
(9)	7	(28)	97	(47)	39		
(10)	8	(29)	1	(48)	40		
(11)	9	(30)	25	(49)	98		
(12)	10	(31)	26	(50)	25		
(13)	11	(32)	27	(51)	41		
(14)	97	(33)	28	(52)	42		
(15)	1	(34)	29	(53)	43		
(16)	12	(35)	30	(54)	44		
(17)	13	(36)	98	(55)	45		
(18)	14	(37)	25	(56)	98		
(19)	15	(38)	31	(57)	25		
(20)	16	(39)	32	(58)			

図 54

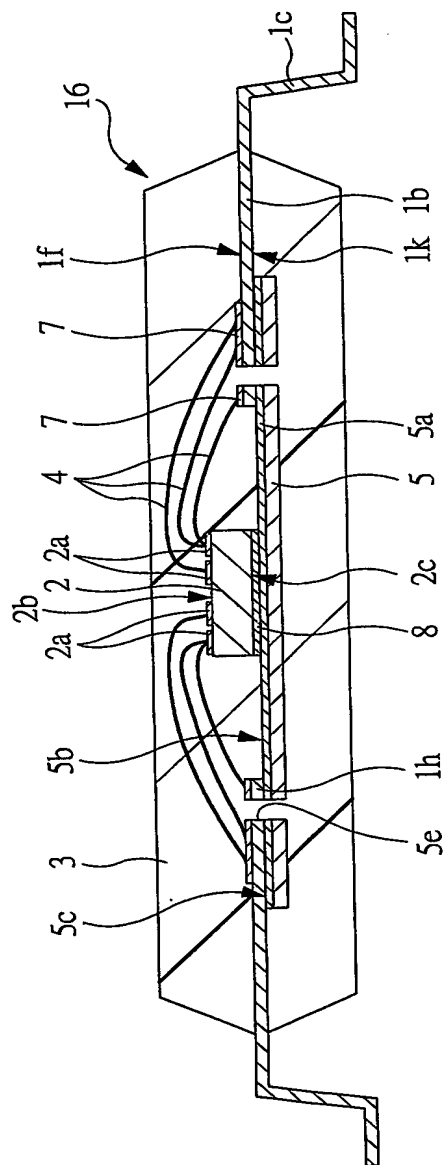


图 55

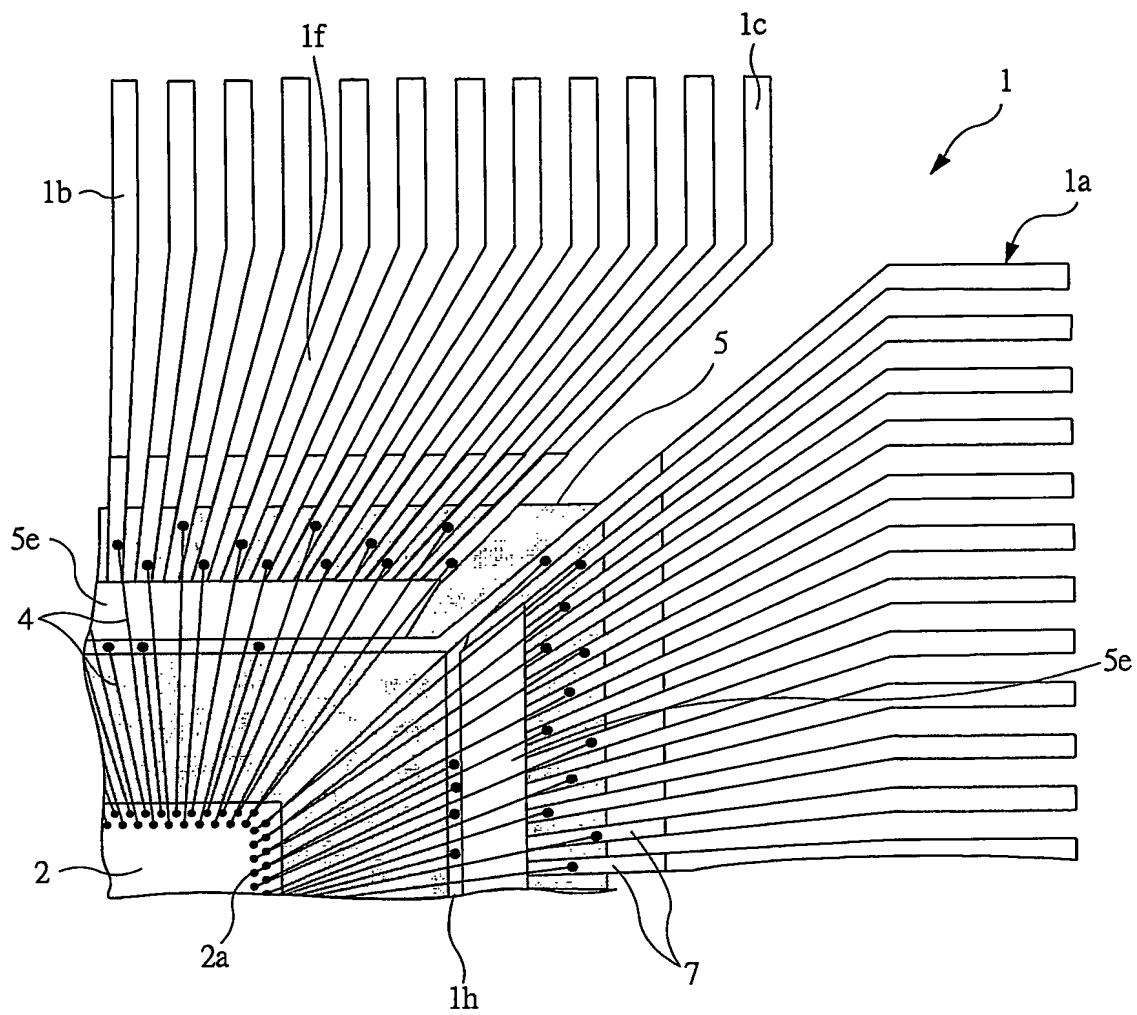


図 56

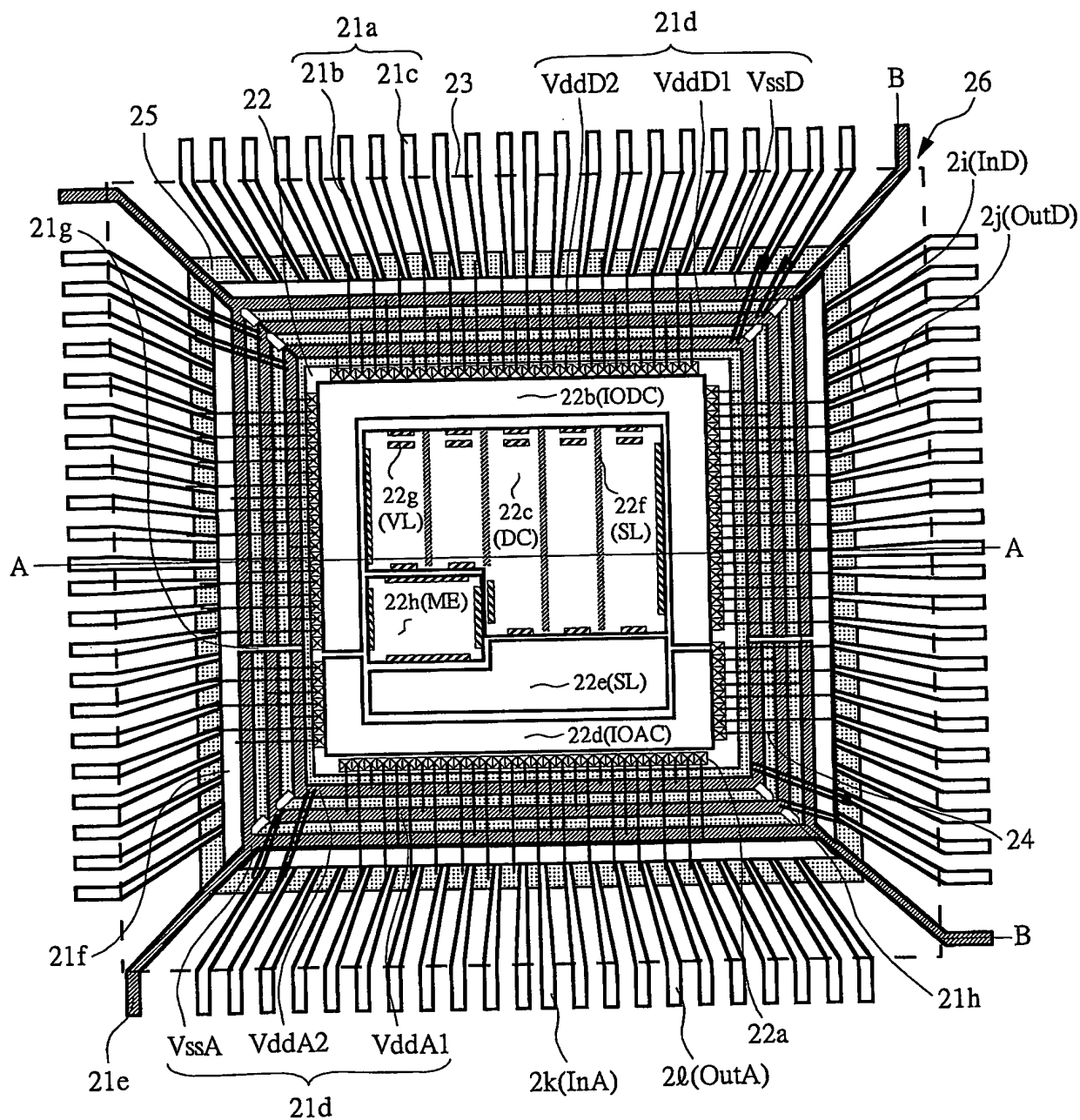


図 57

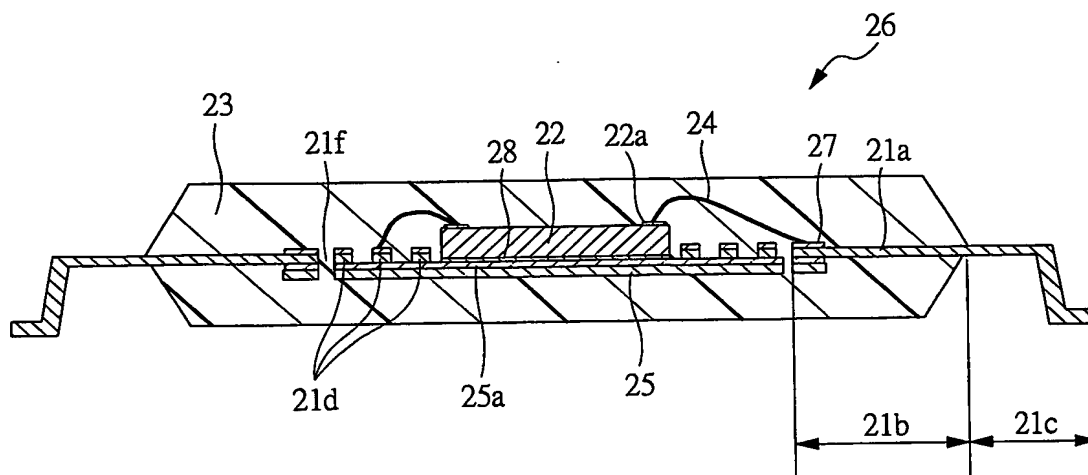
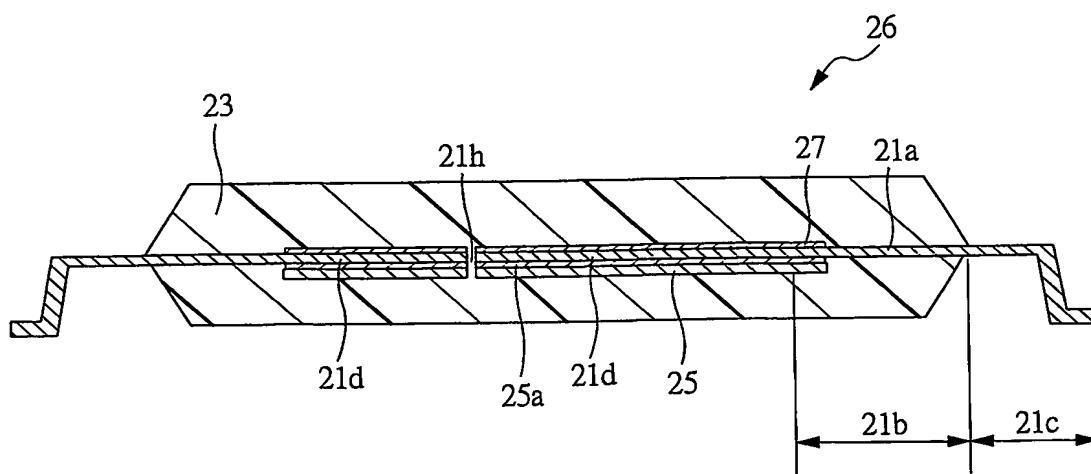
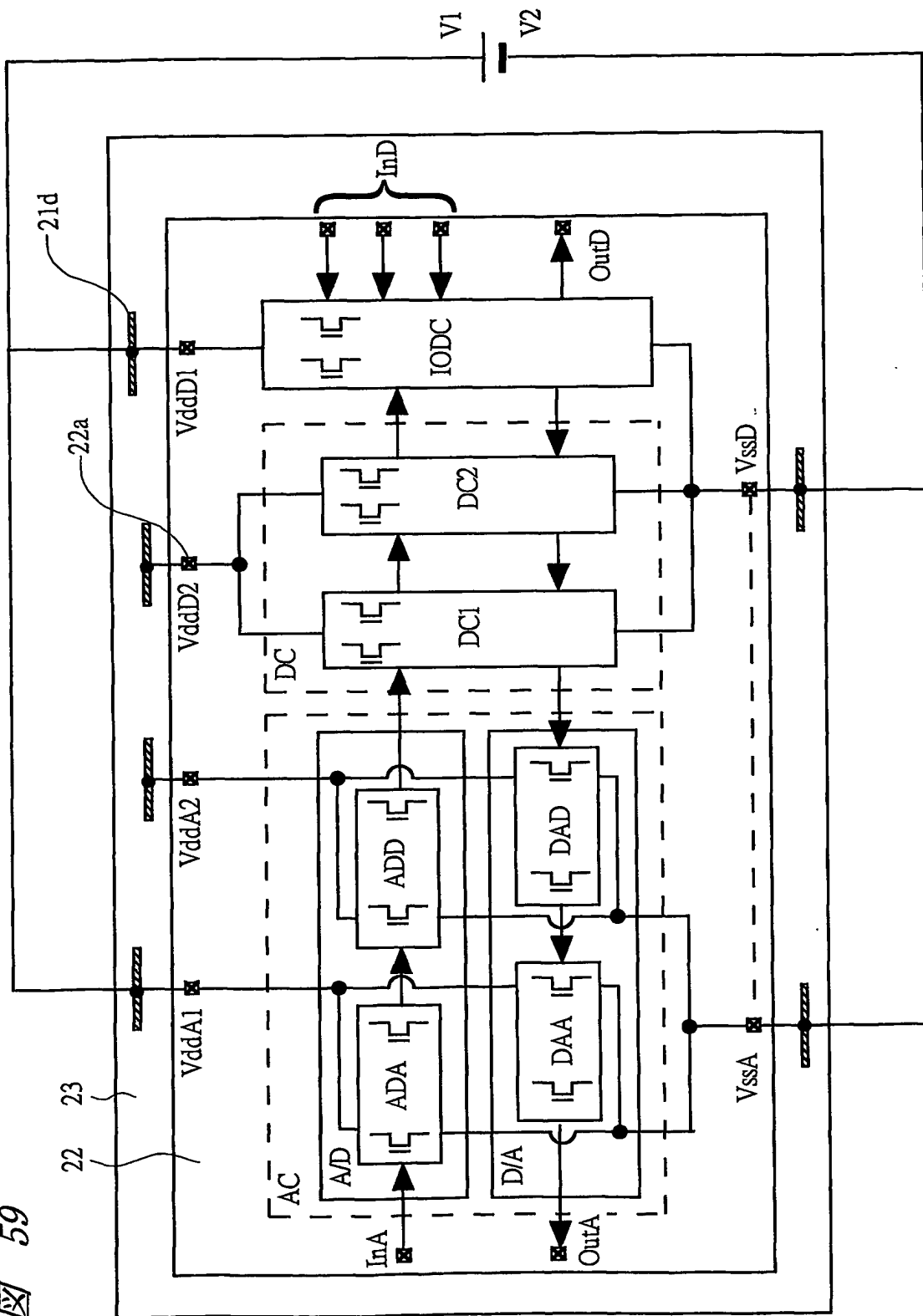


図 58



59



60

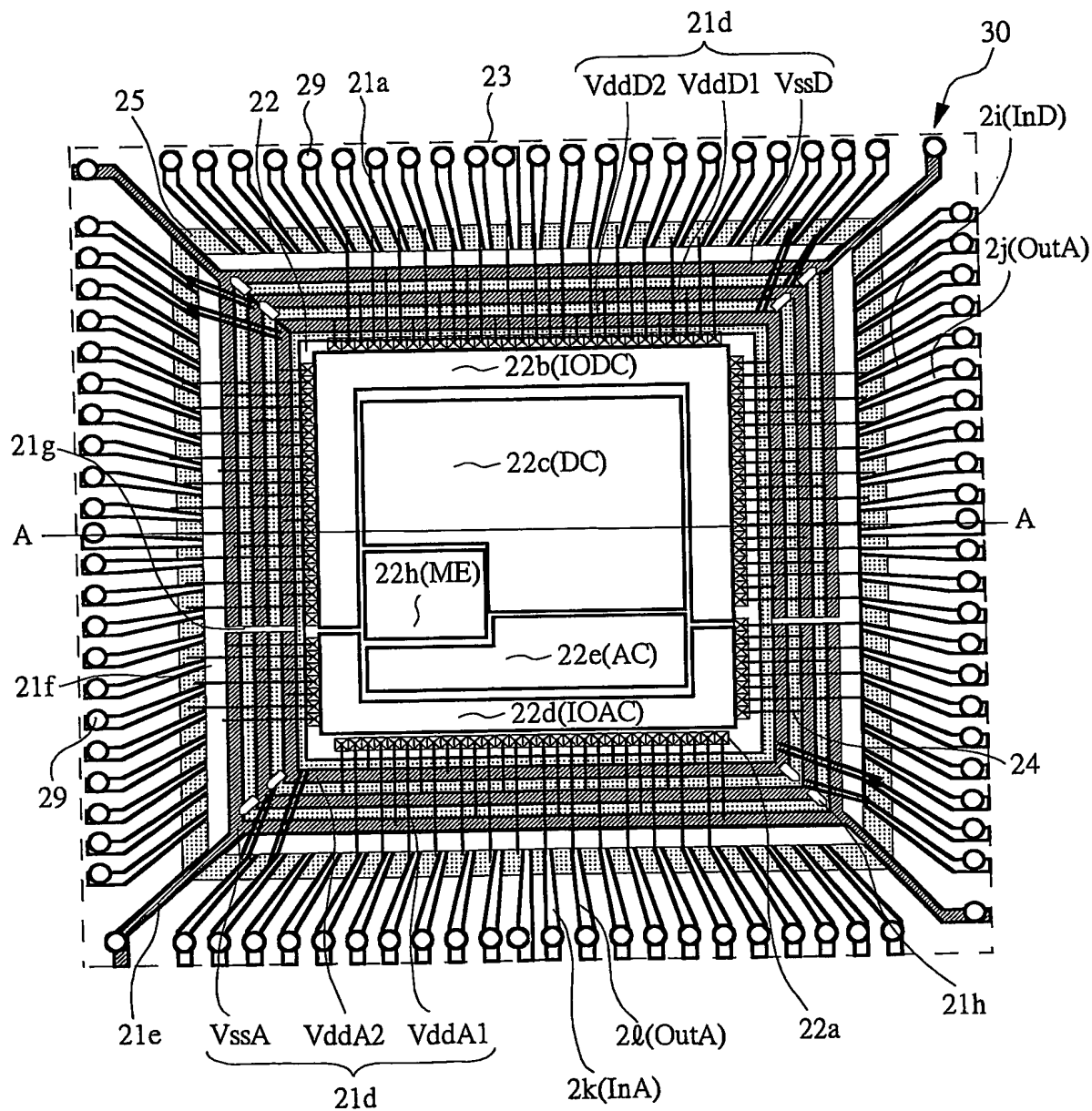


図 61

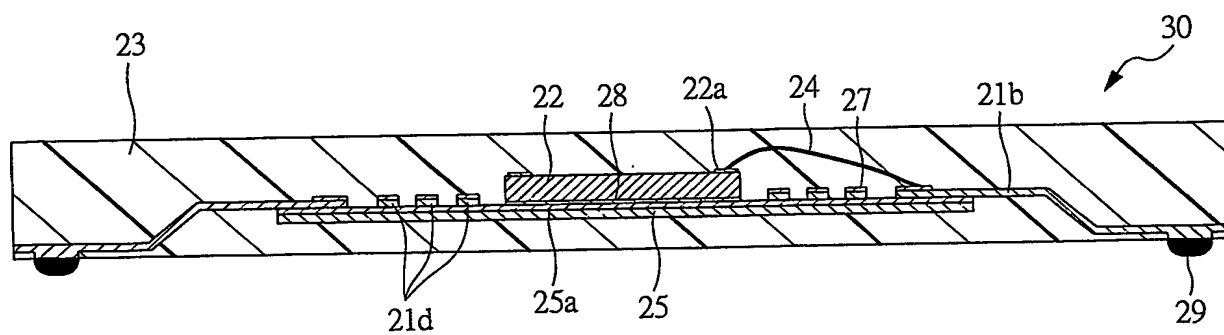


图 62

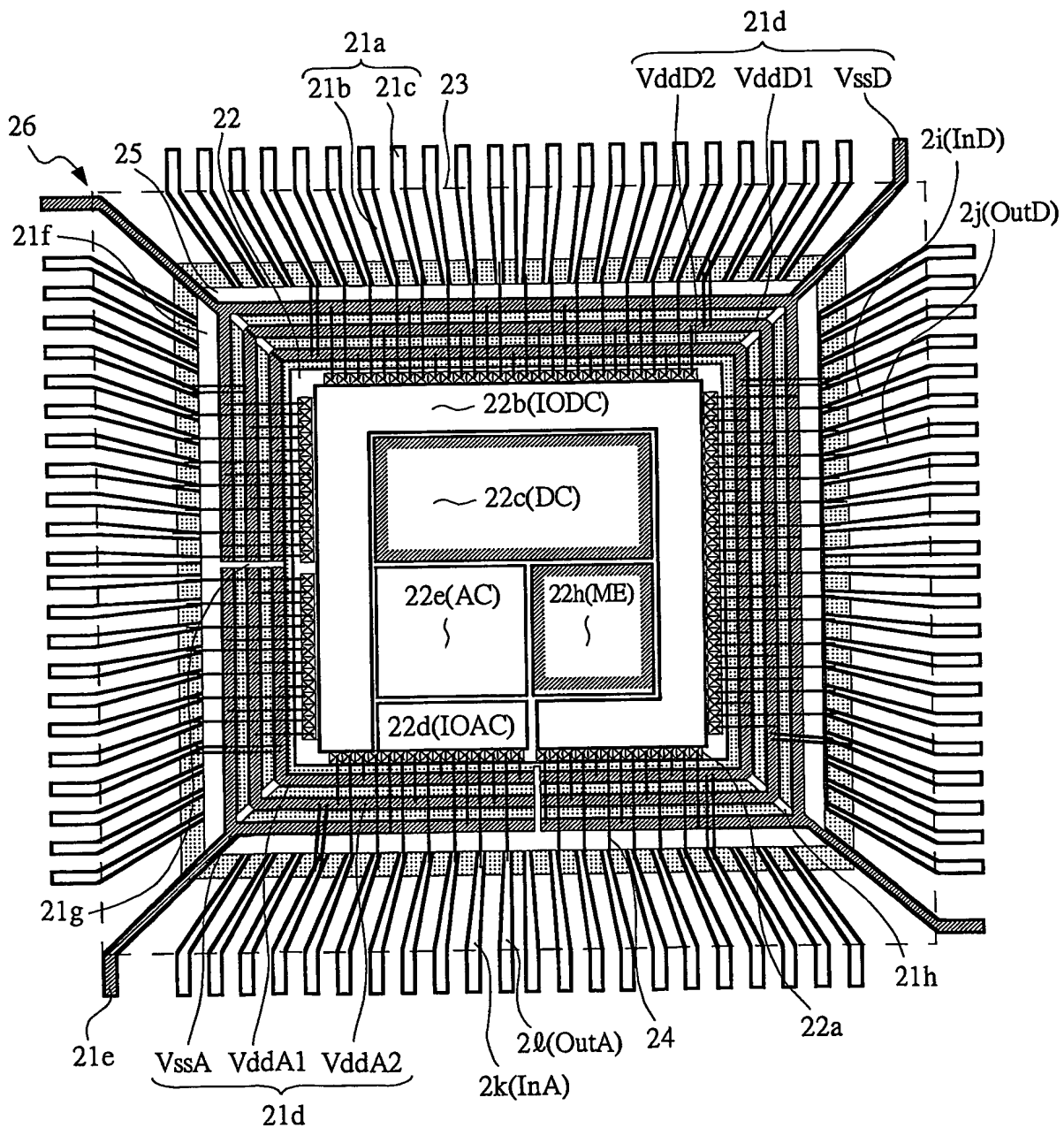


Figure 63

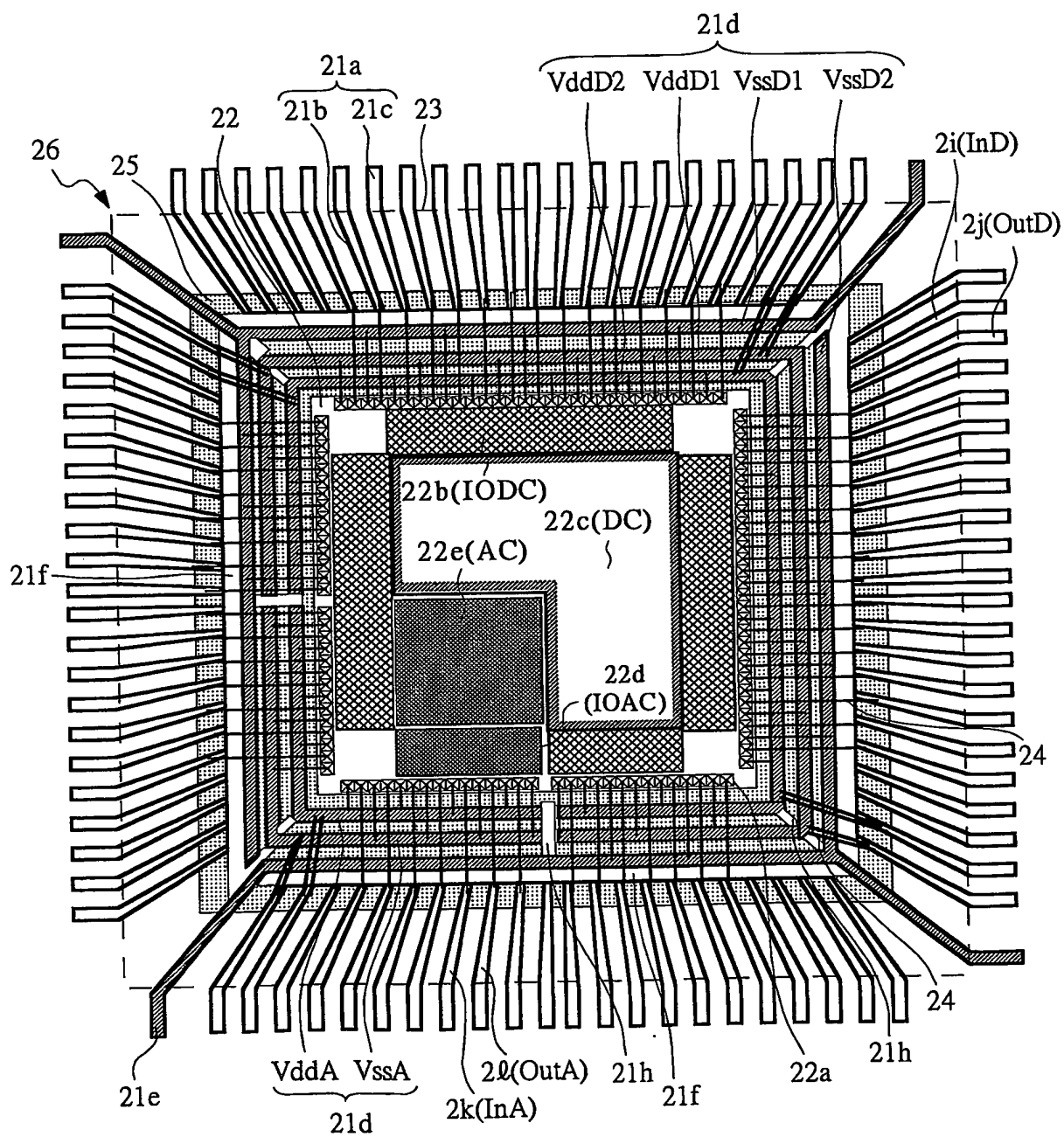
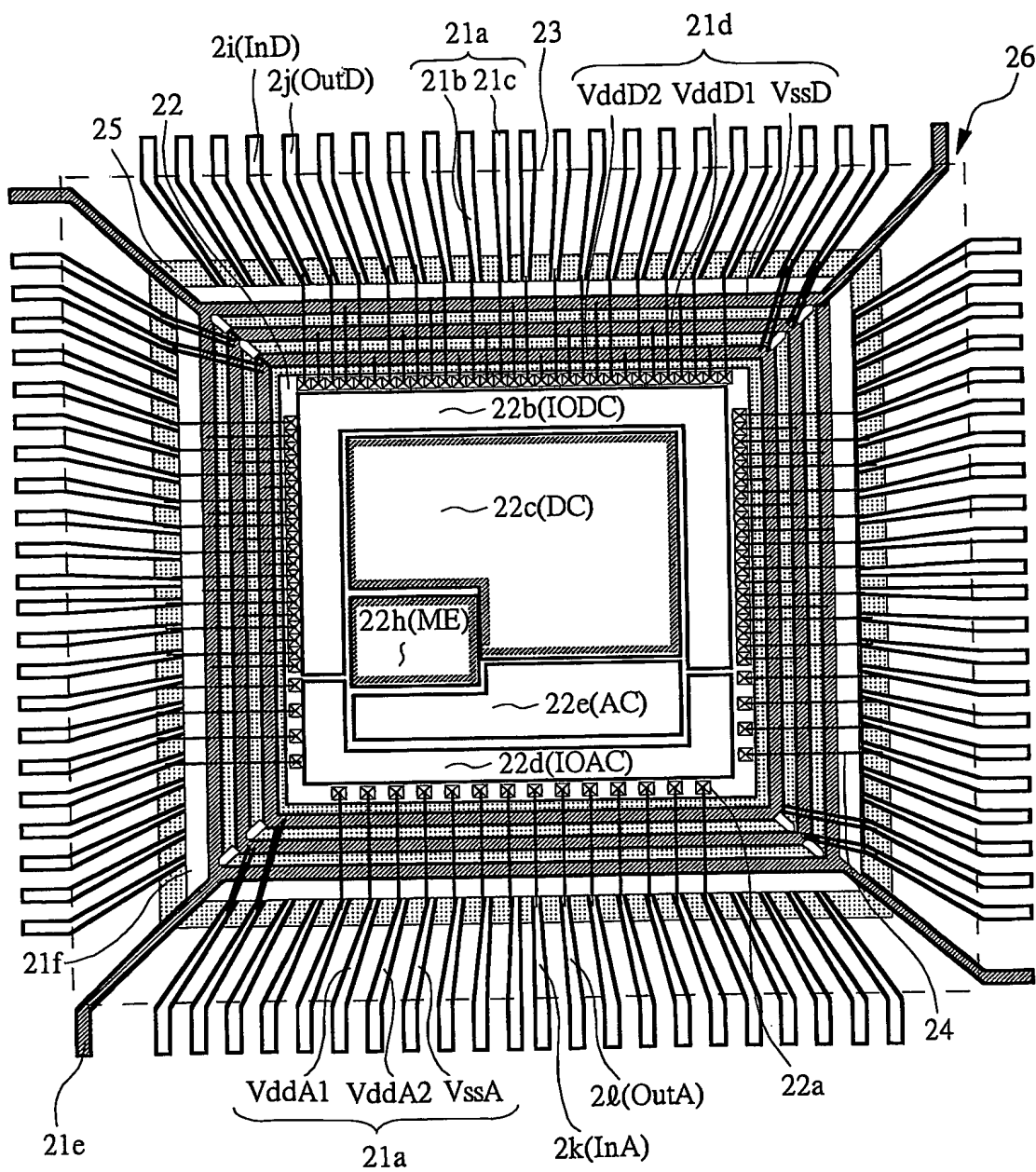


図 64



65

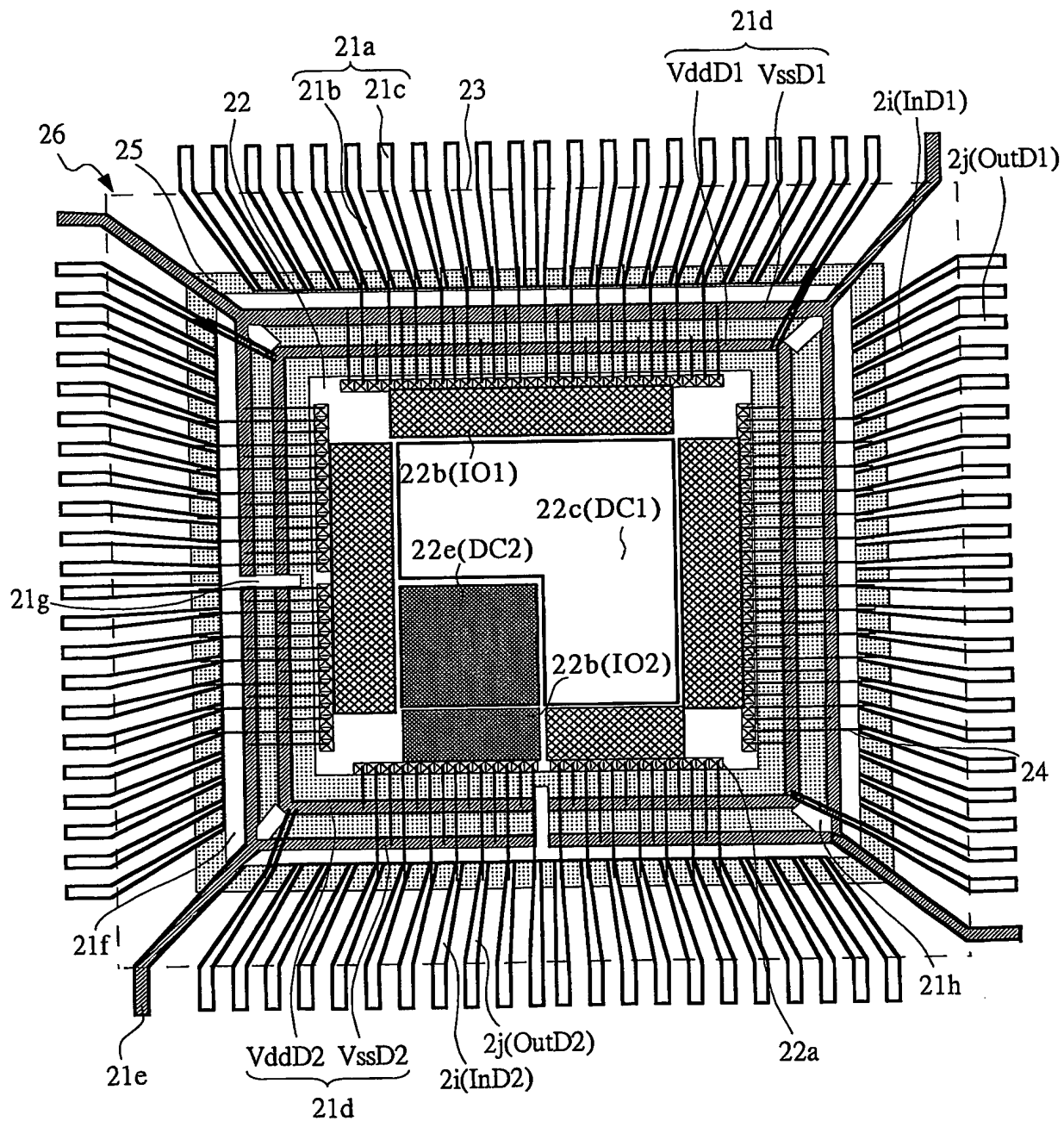


図 66

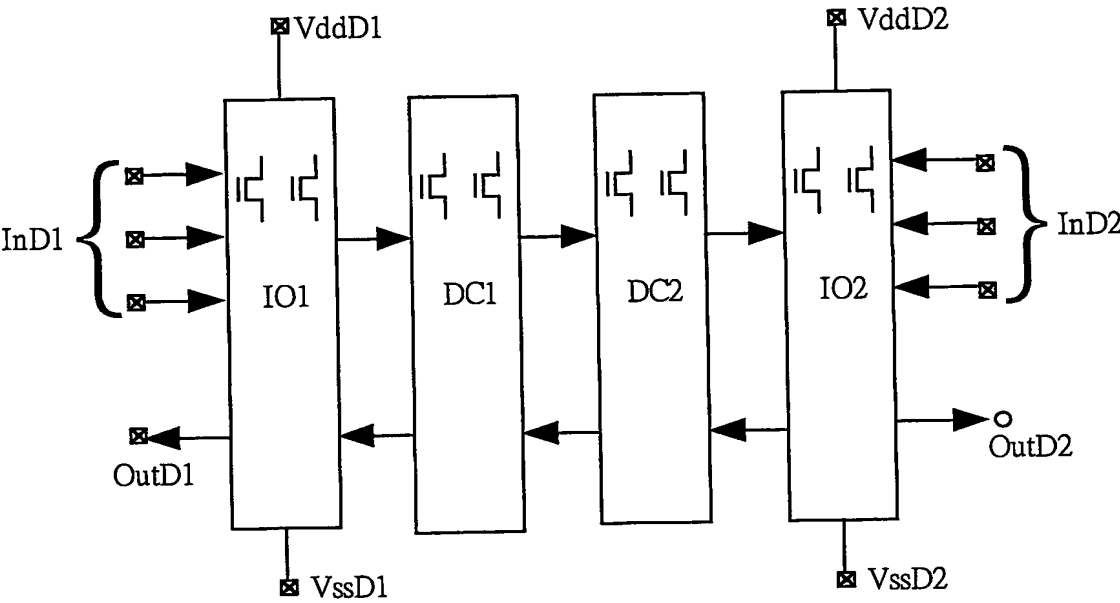
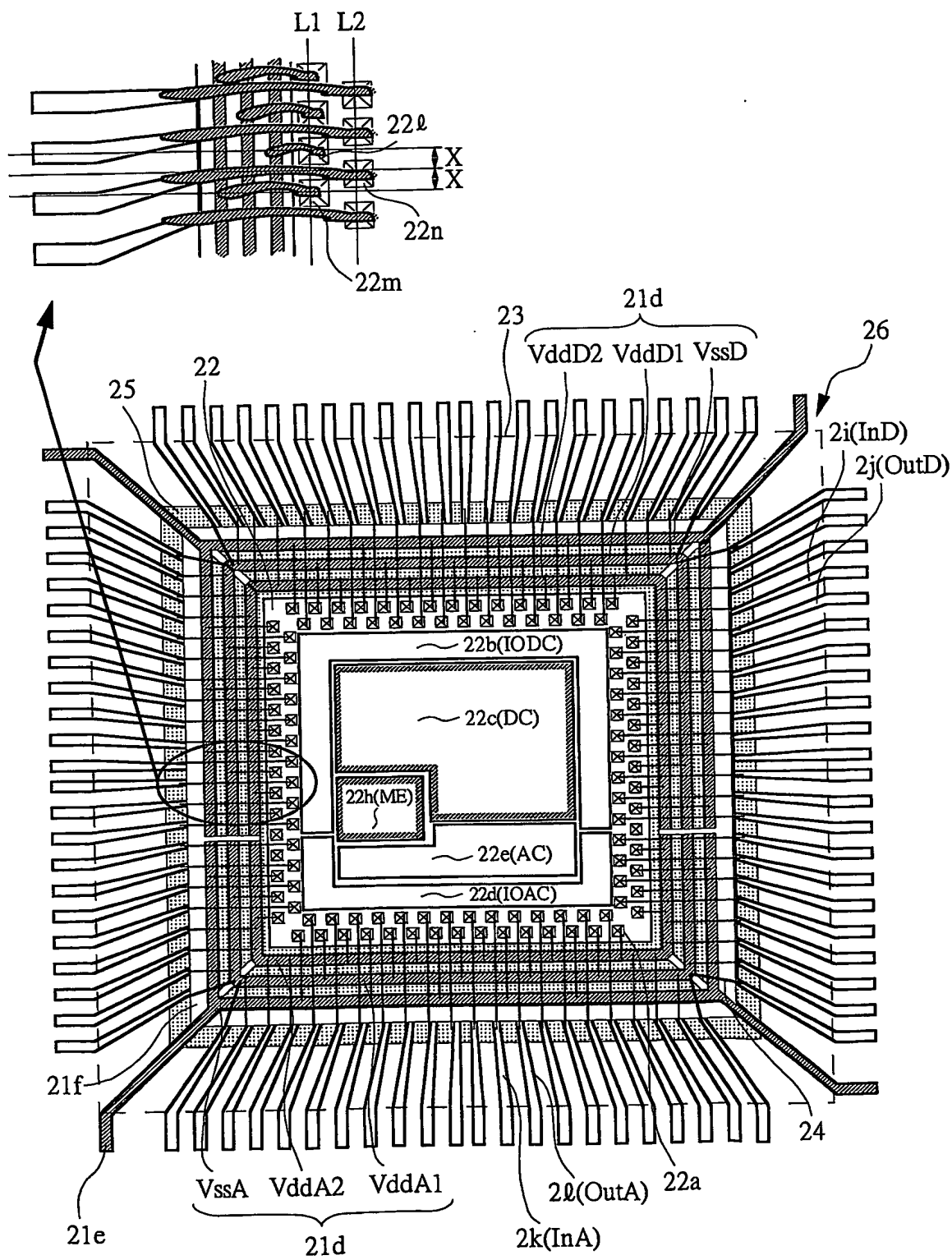
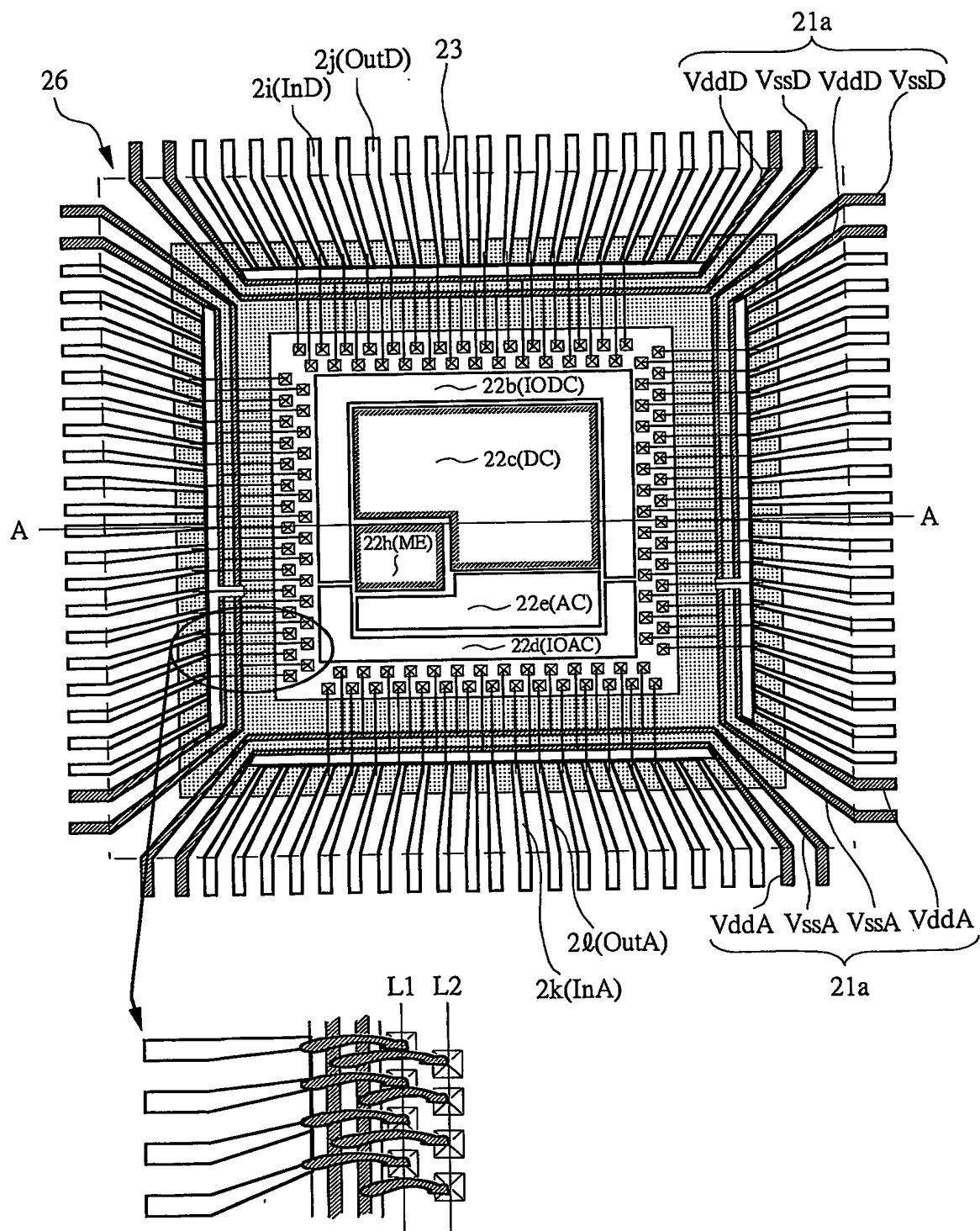


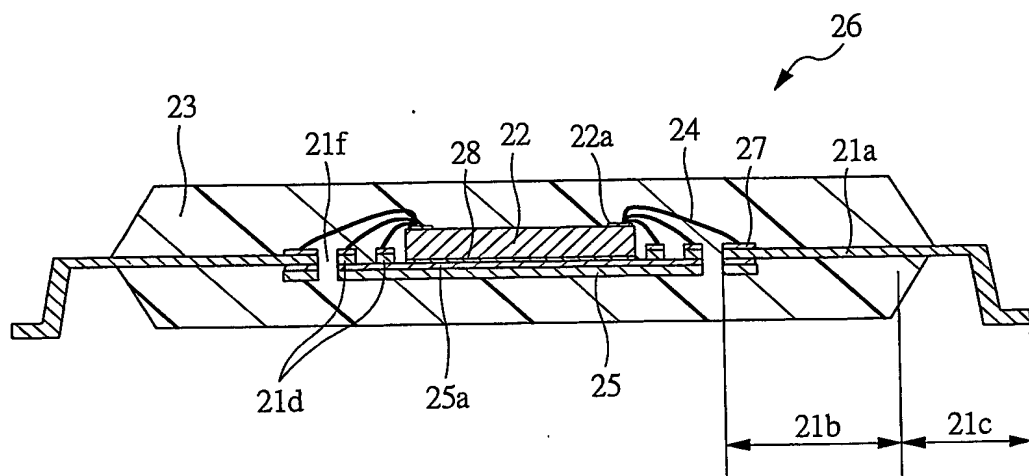
図 67

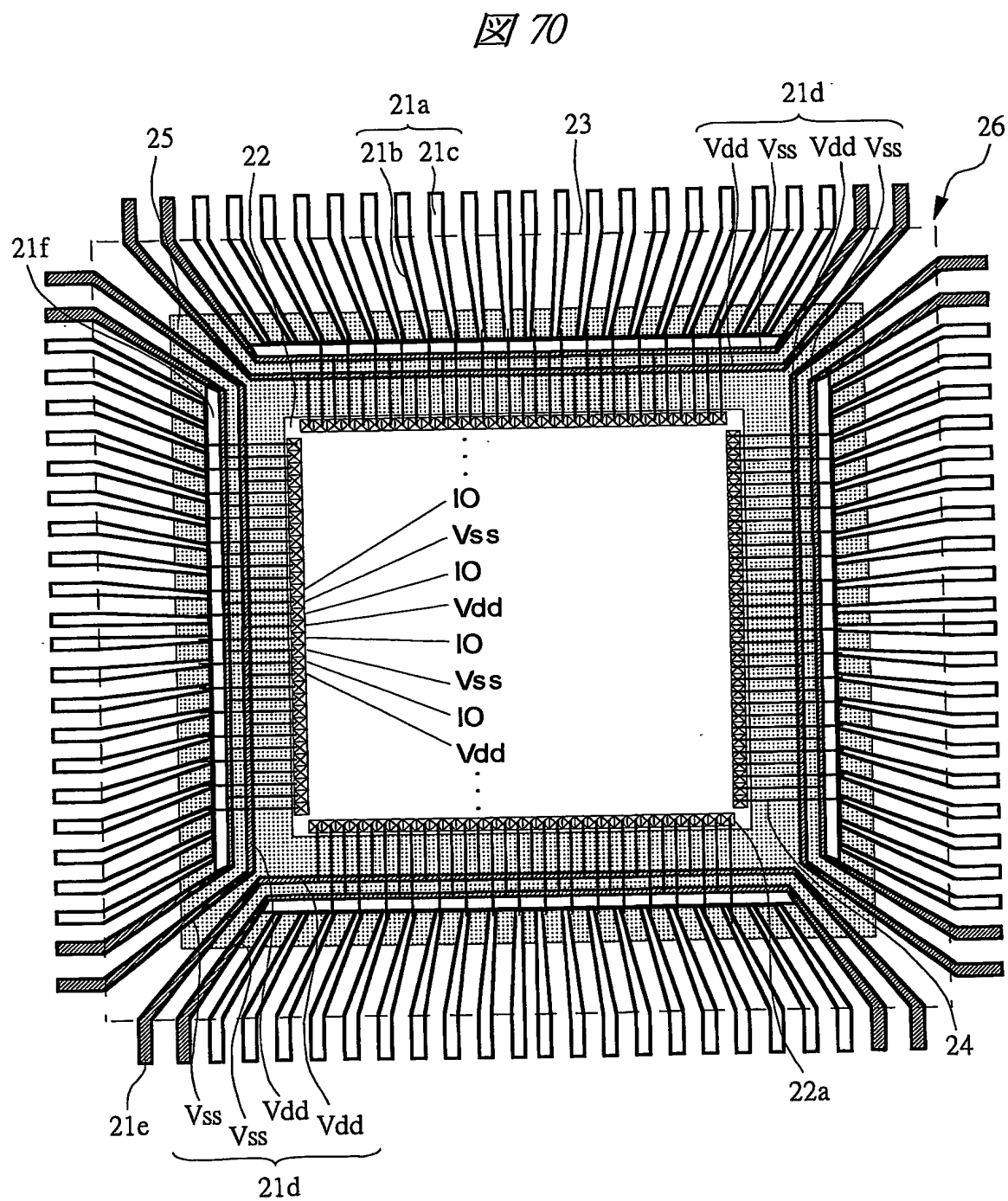


68

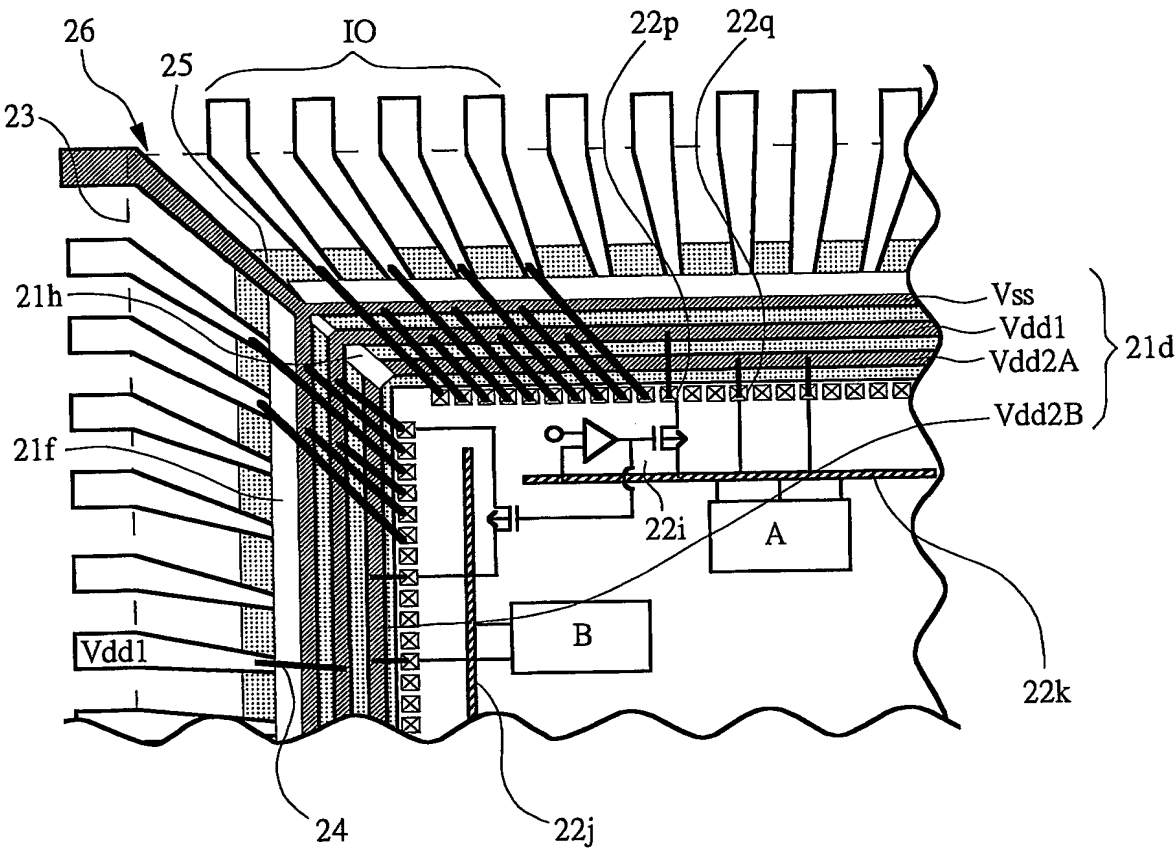


69





71



72

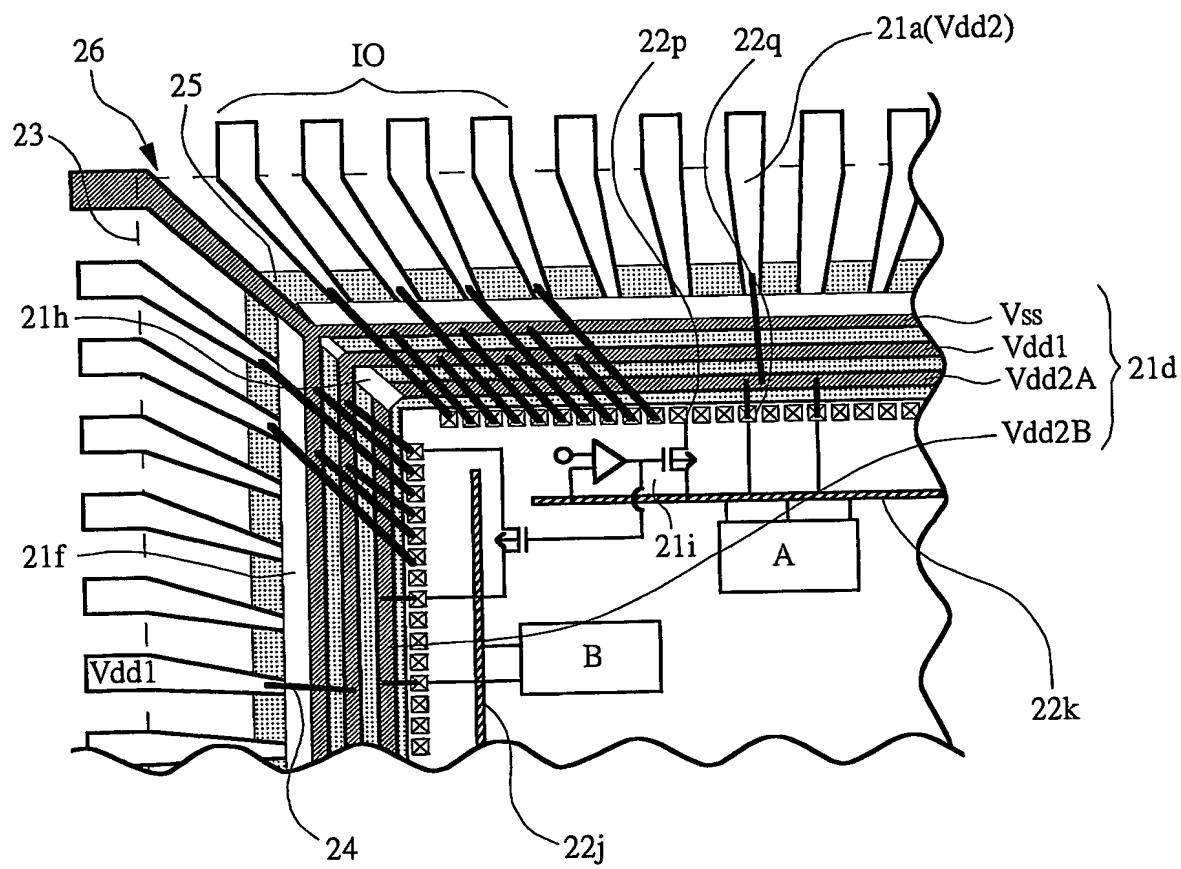


図 74

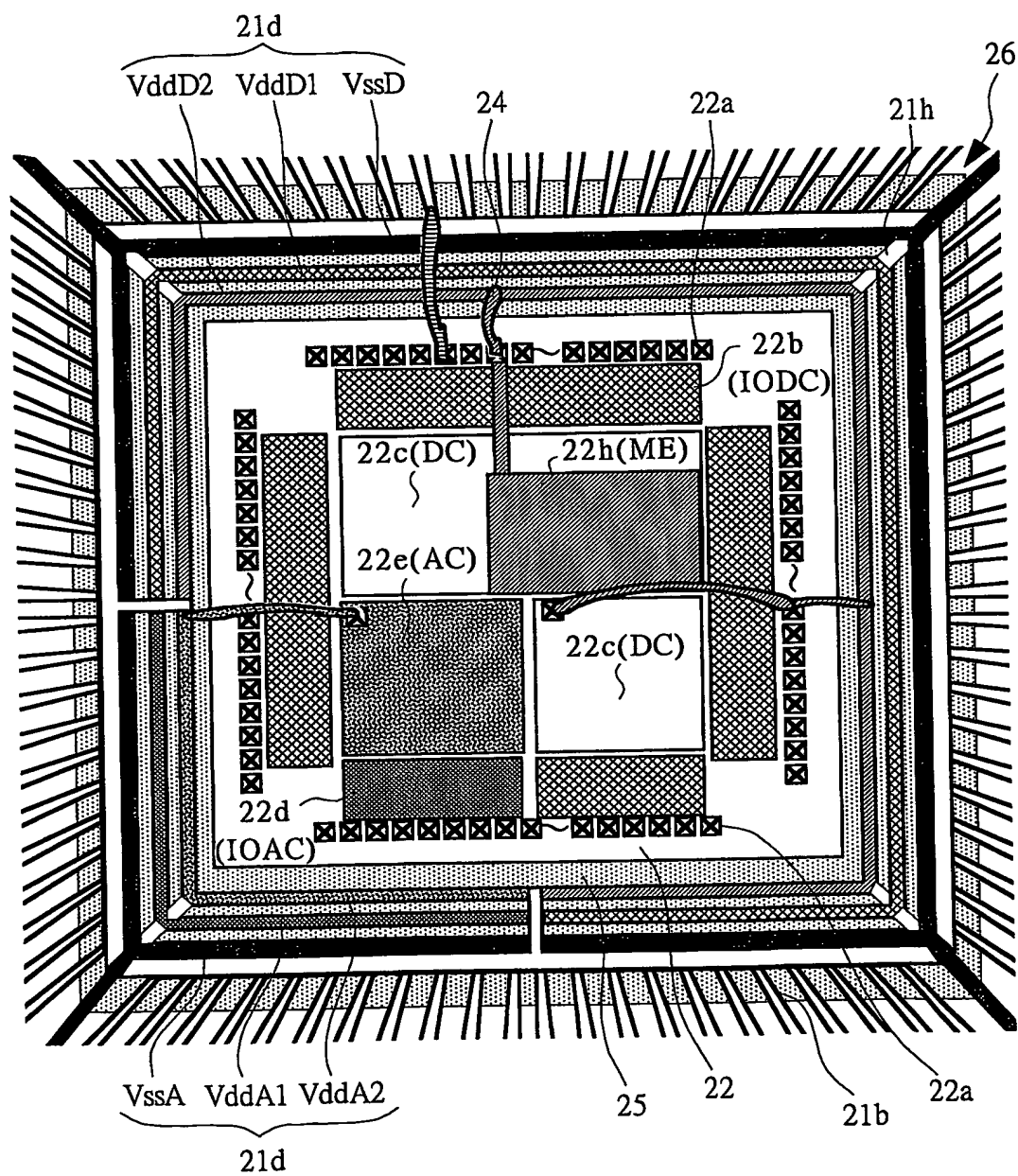


図 75

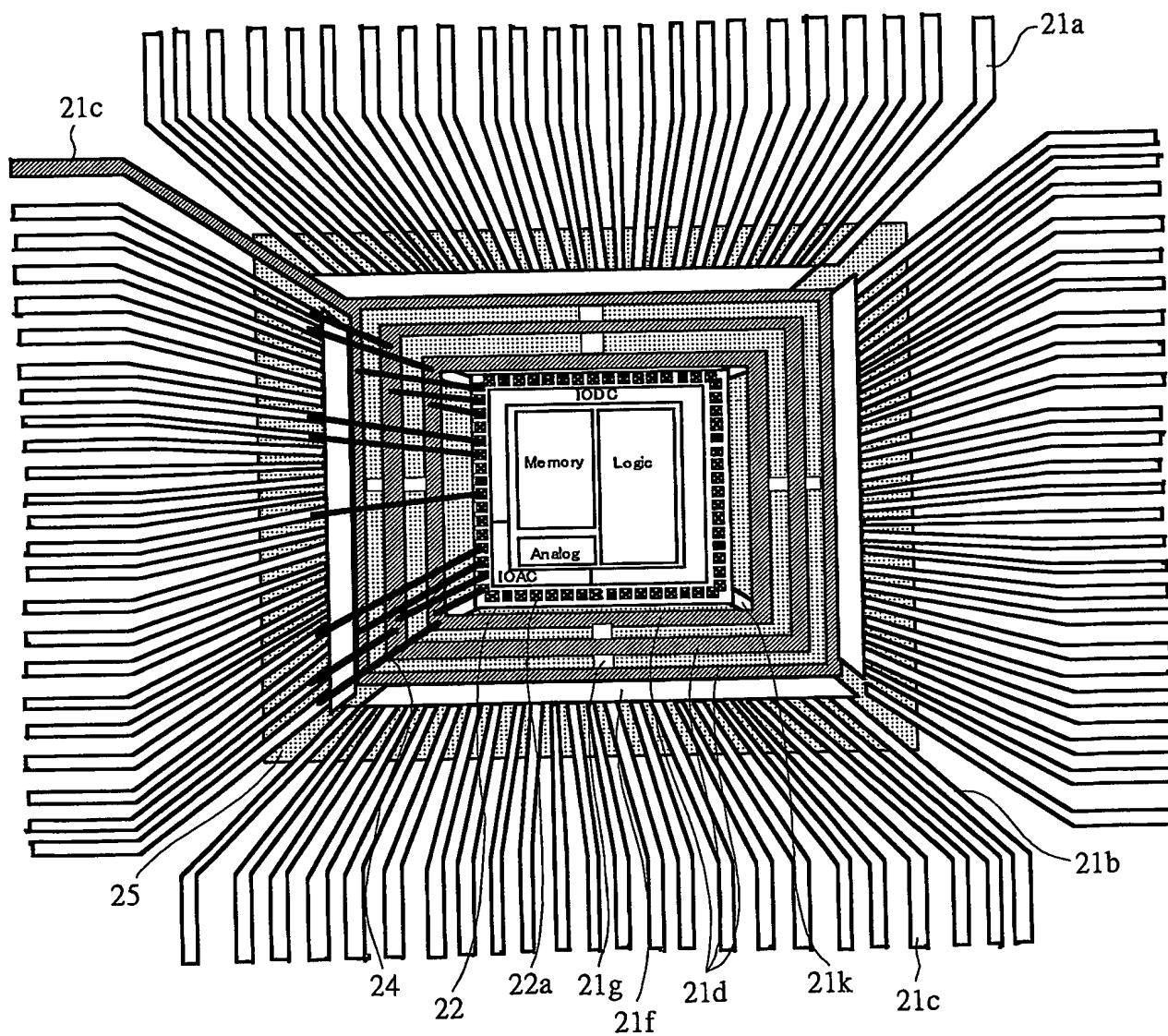


図 77

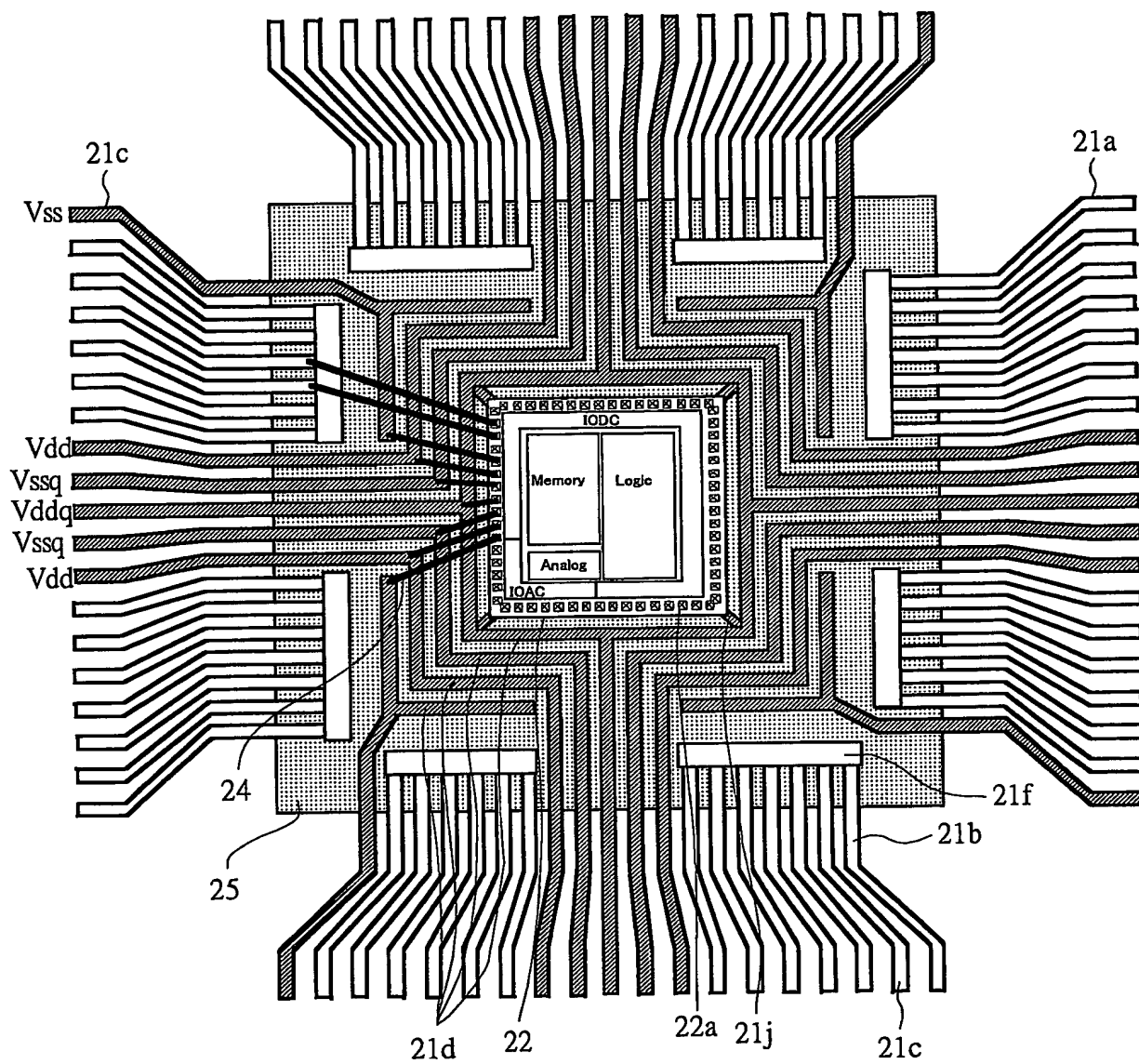


図 78

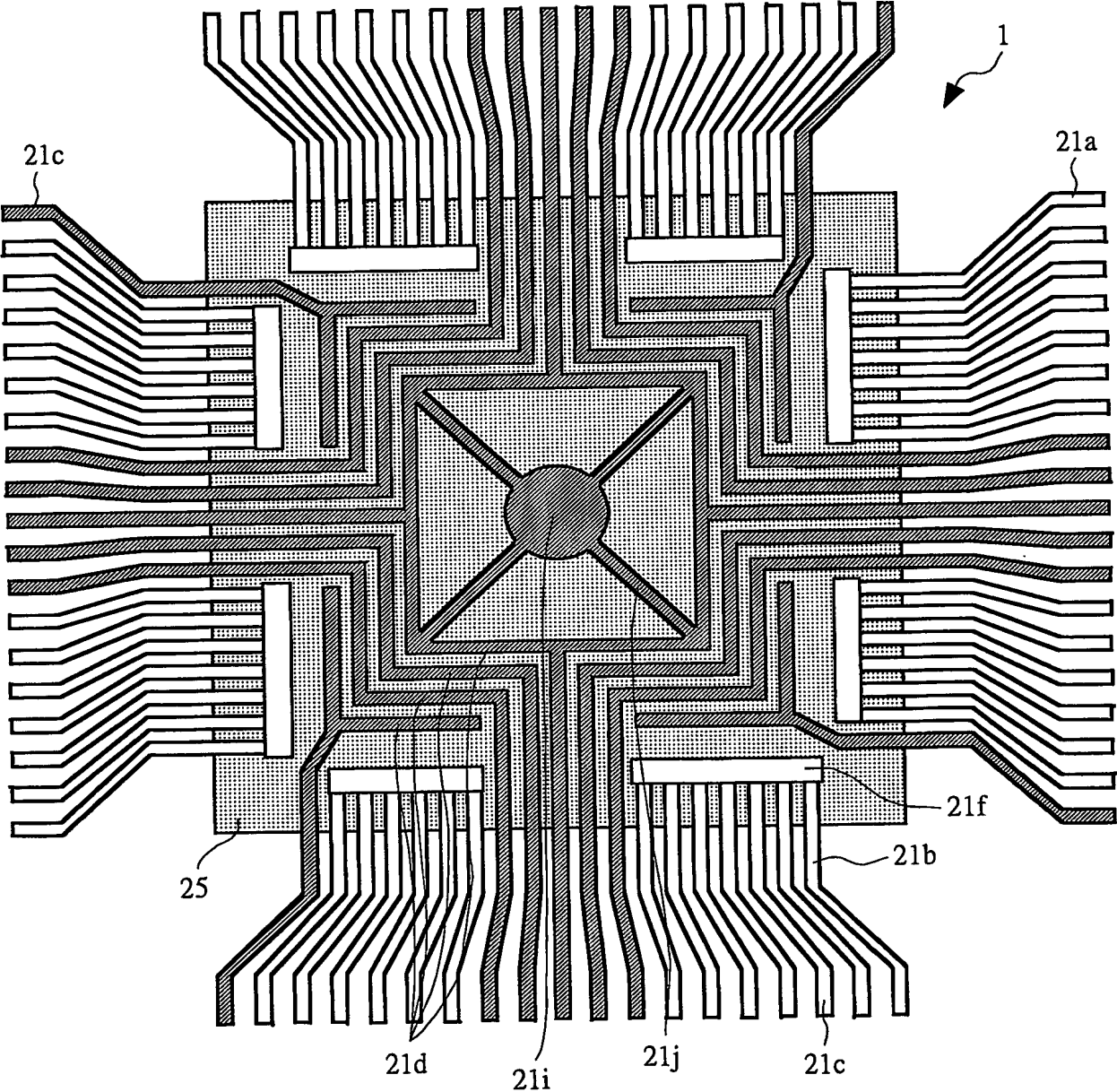


図 79

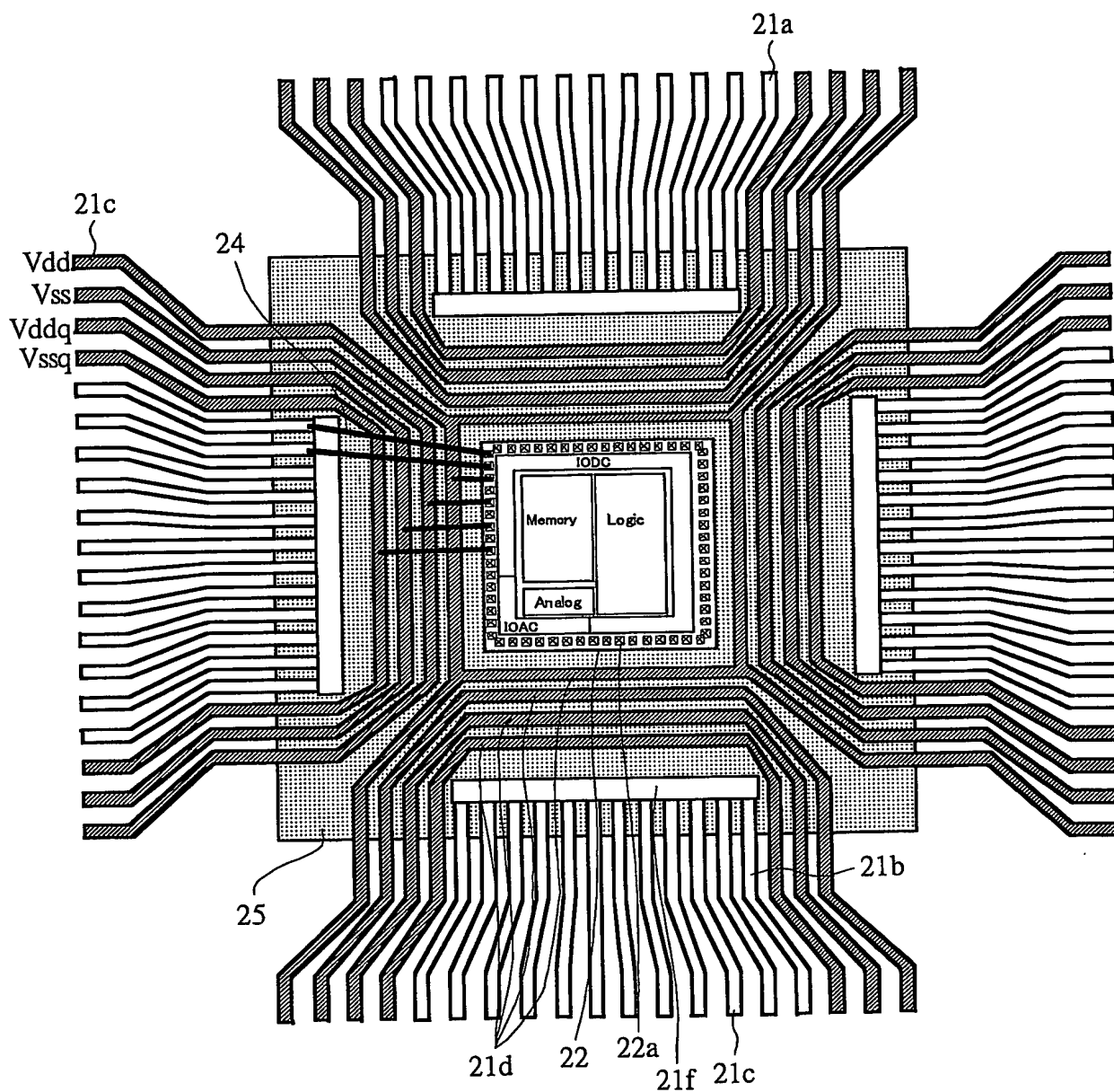


図 80

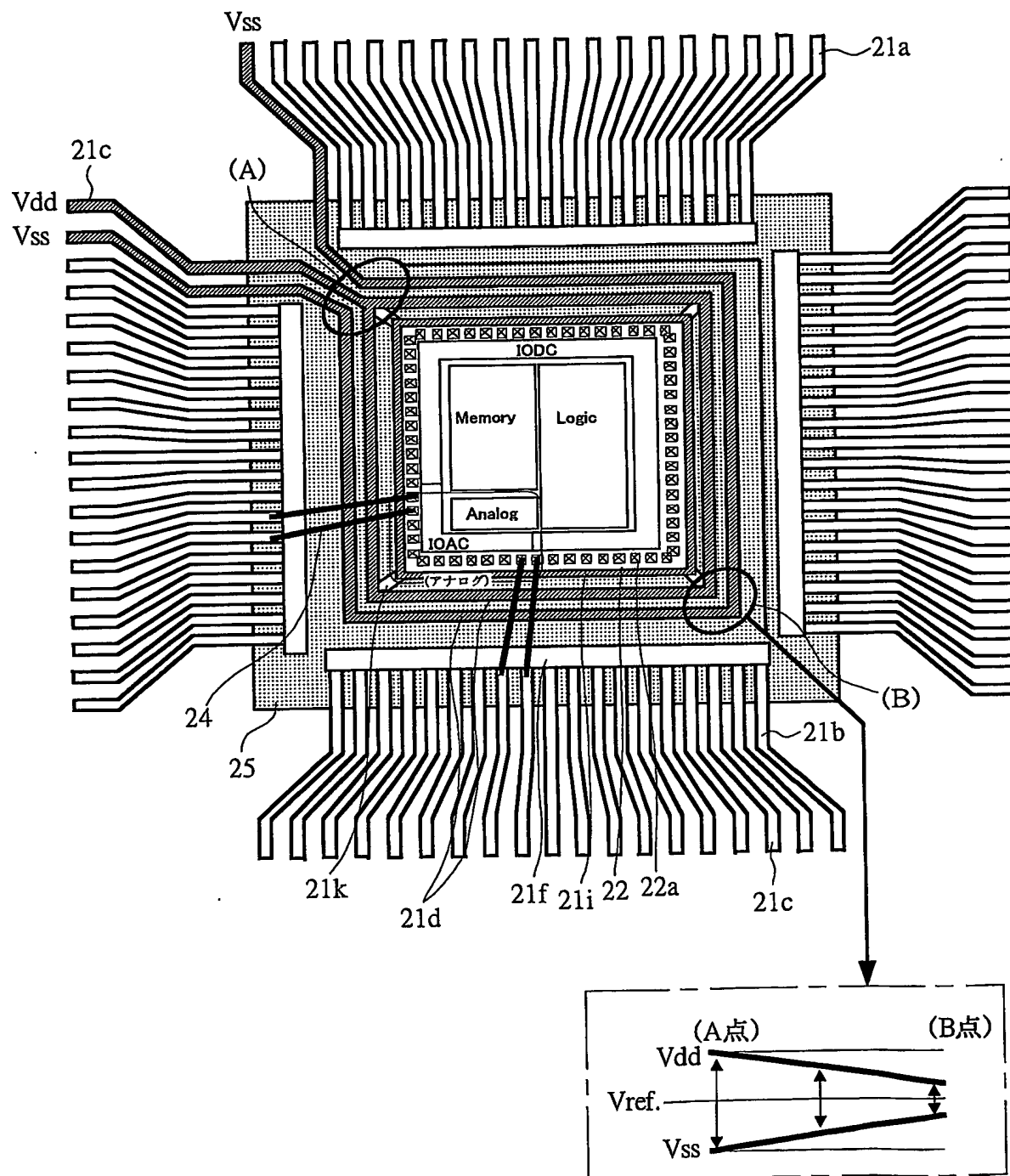


図 81

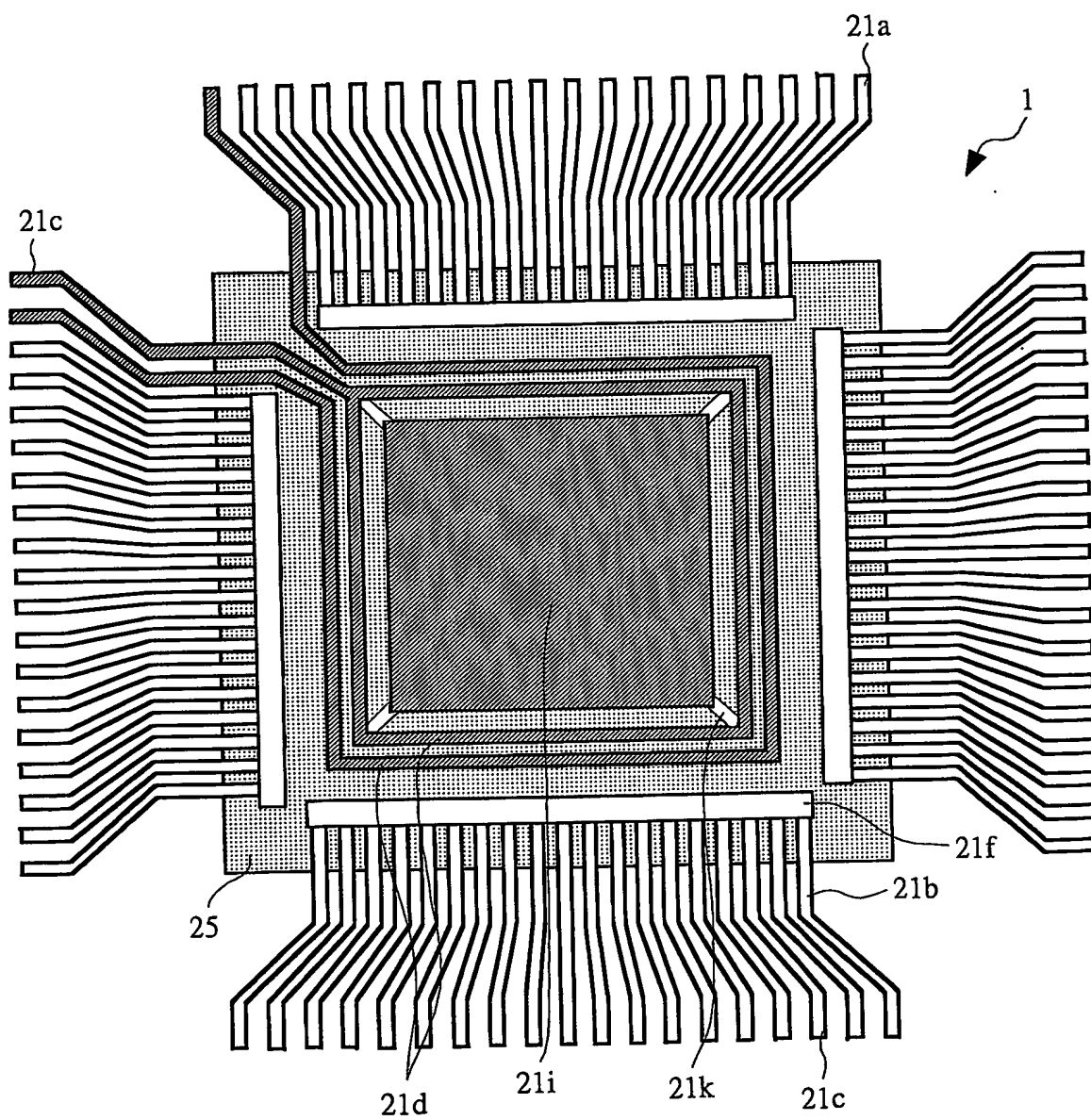


図 82

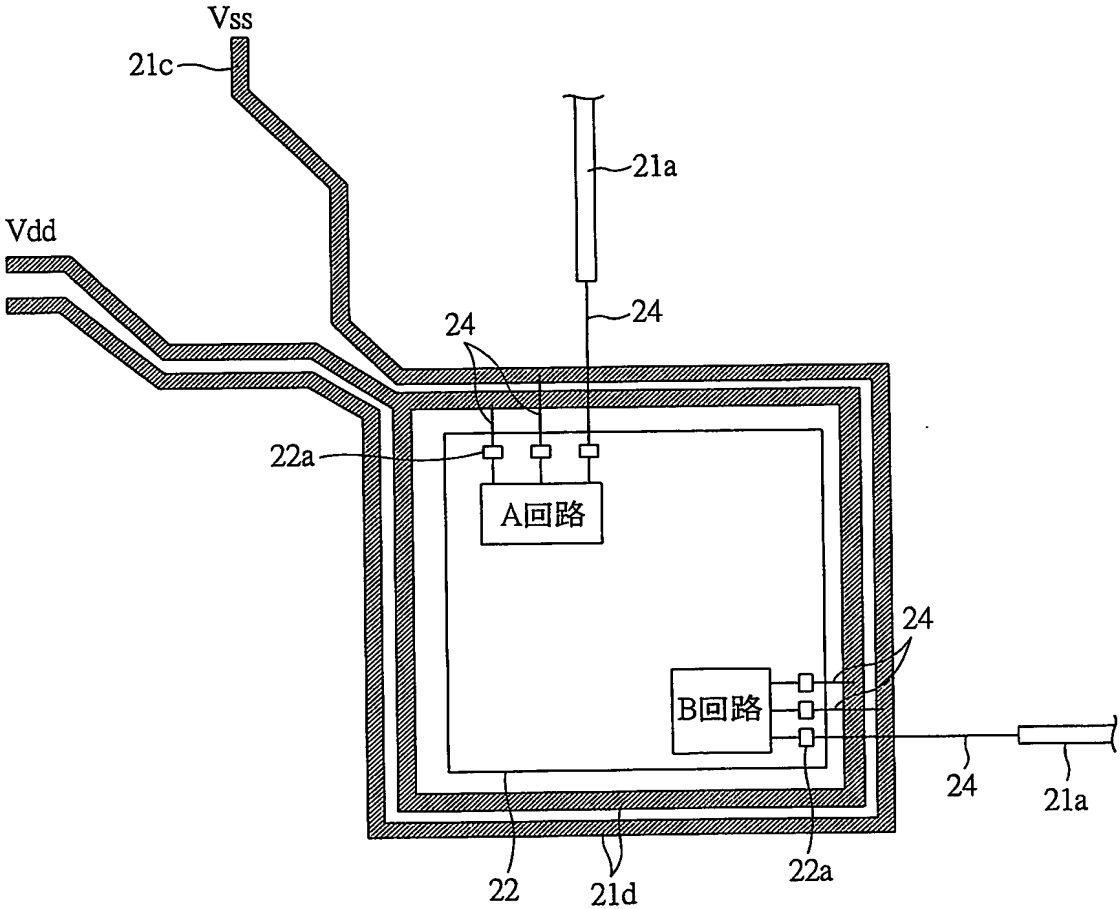


図 83

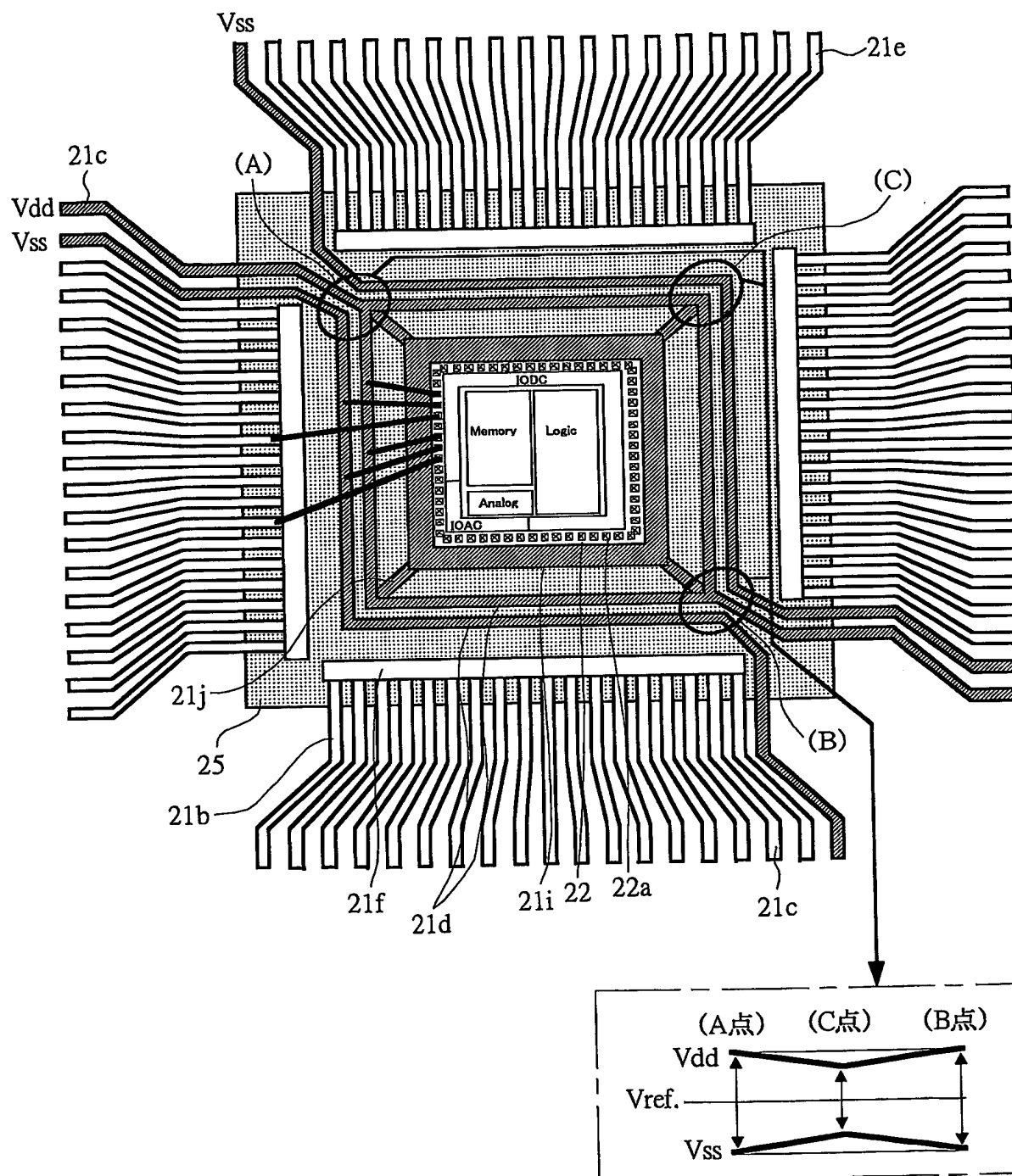


図 84

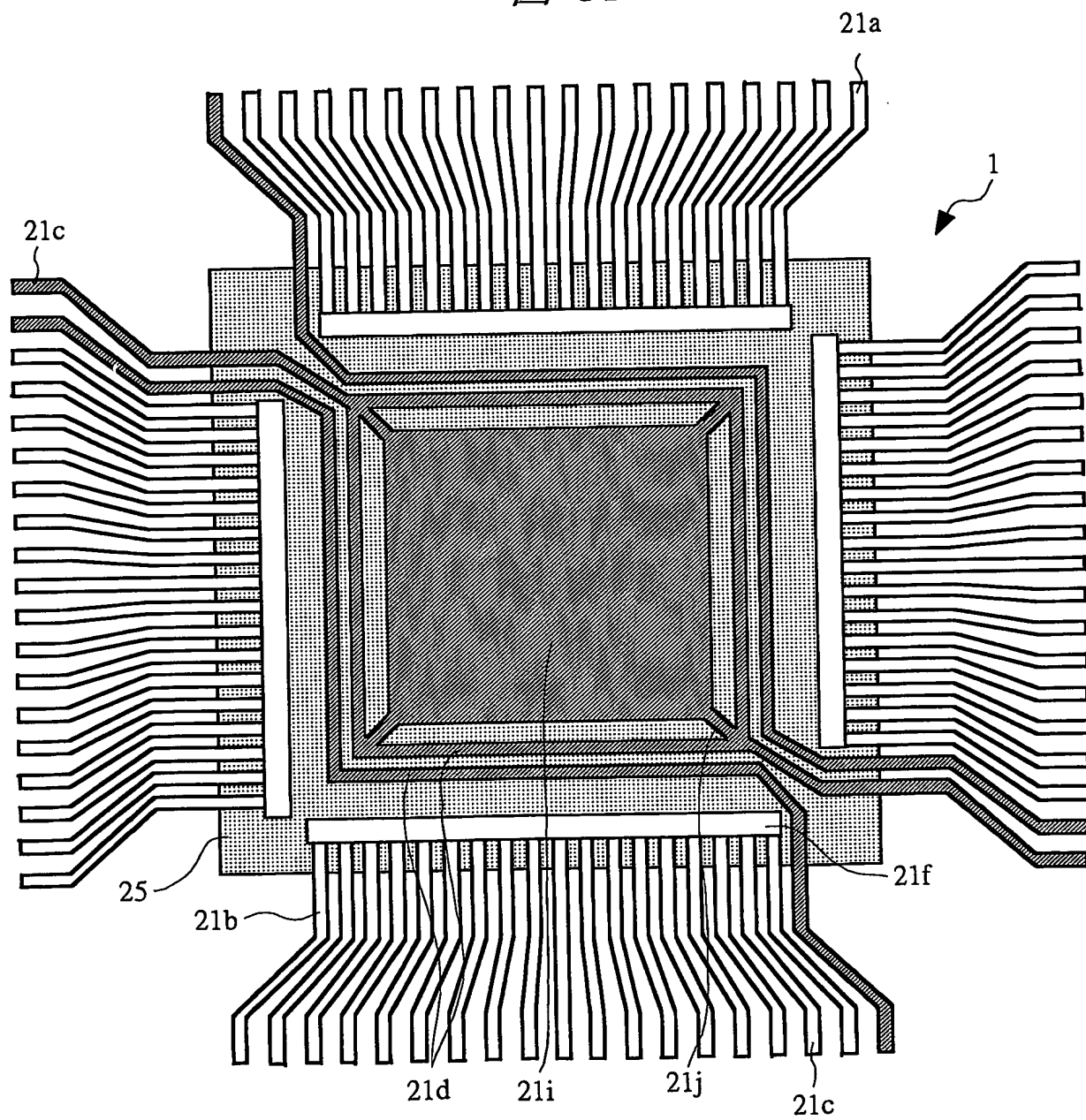


図 85

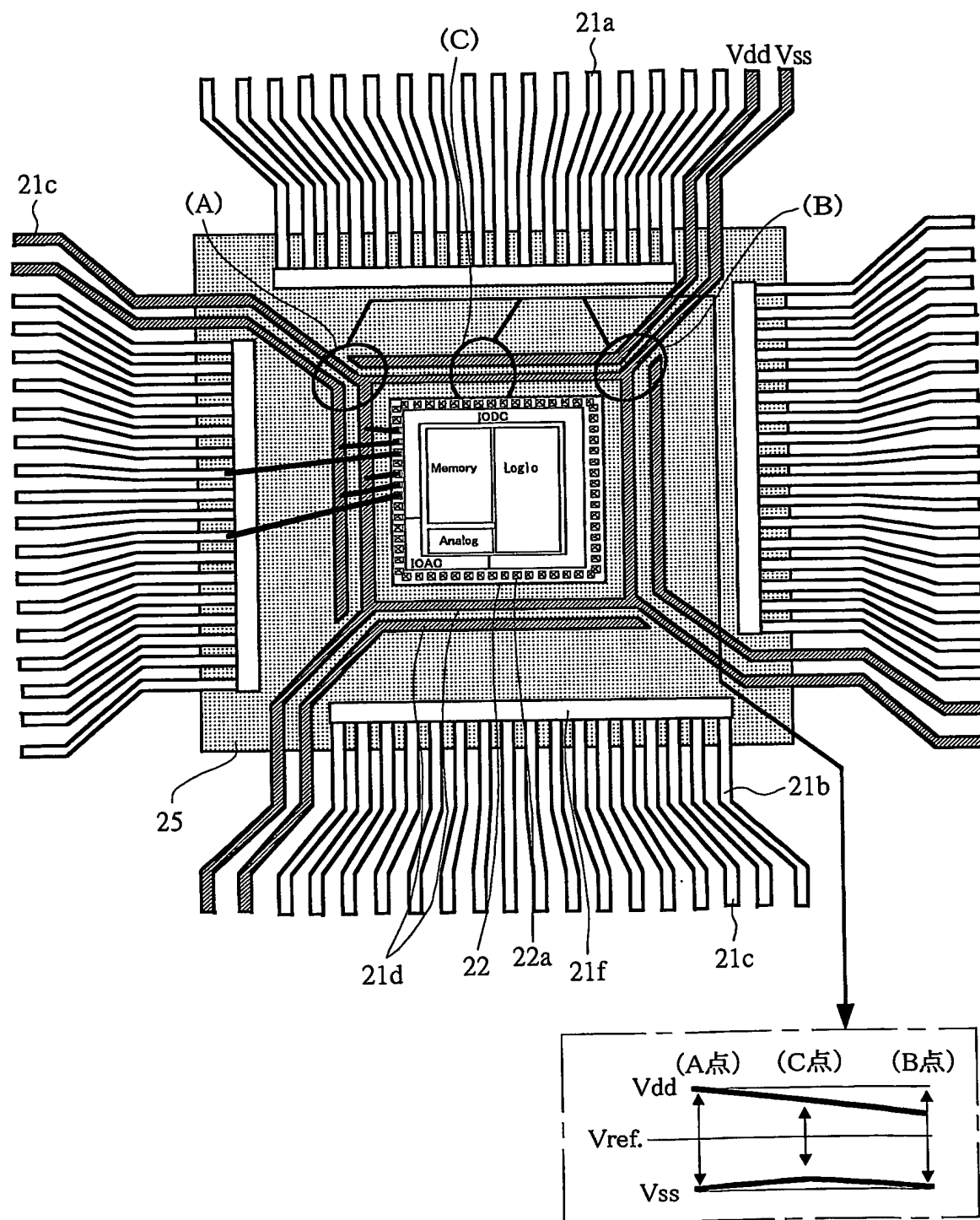


図 86

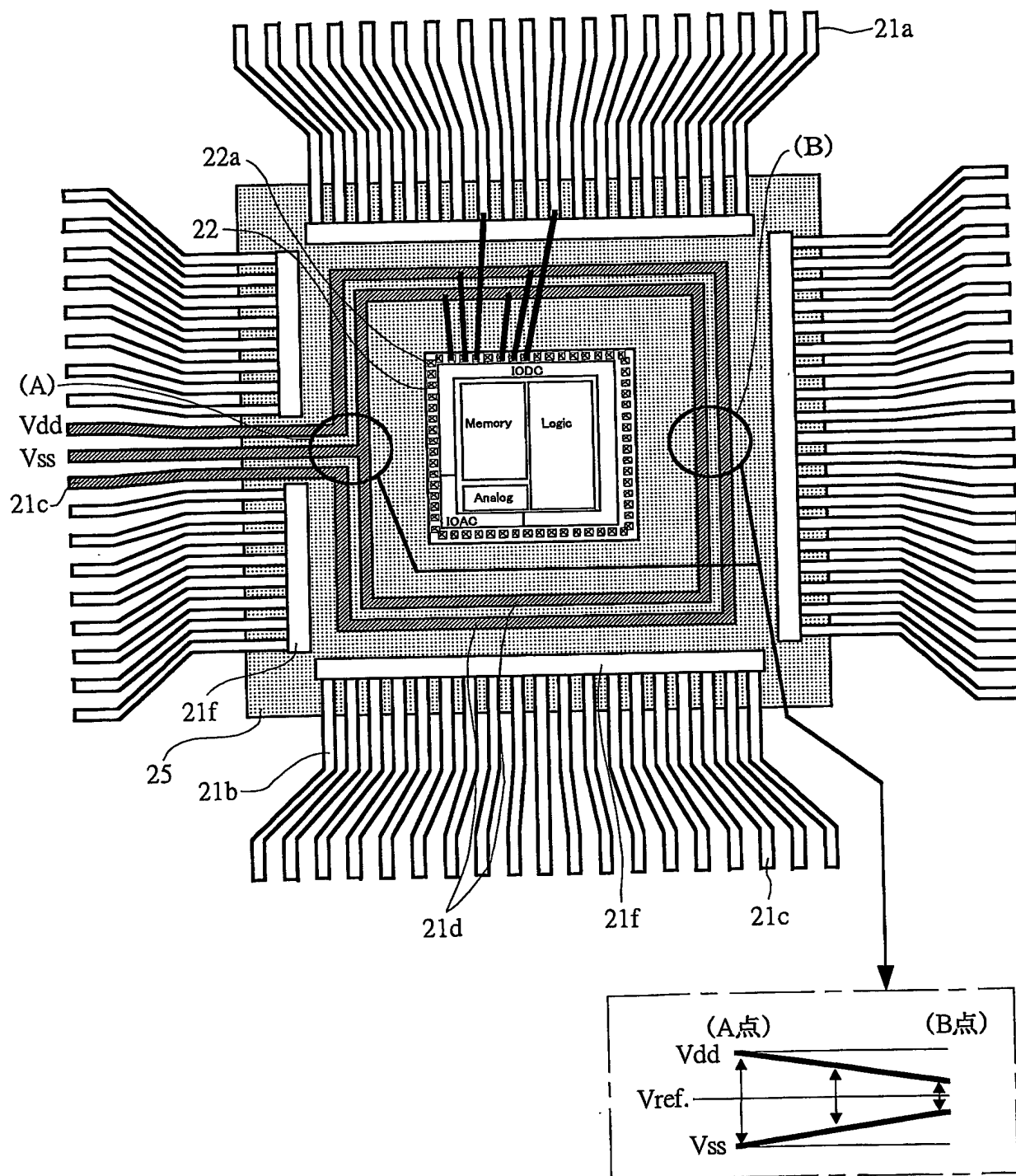


図 87

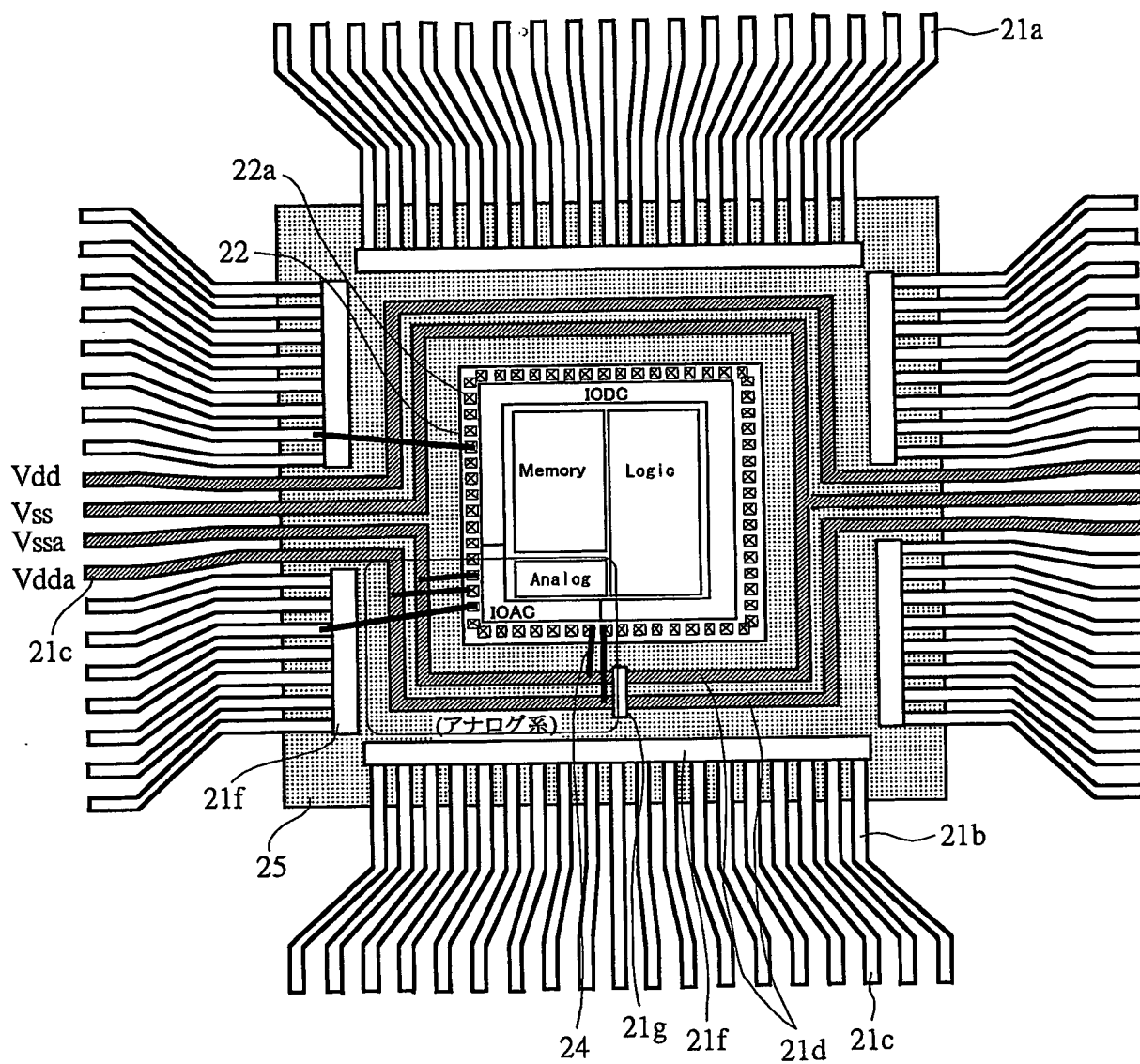
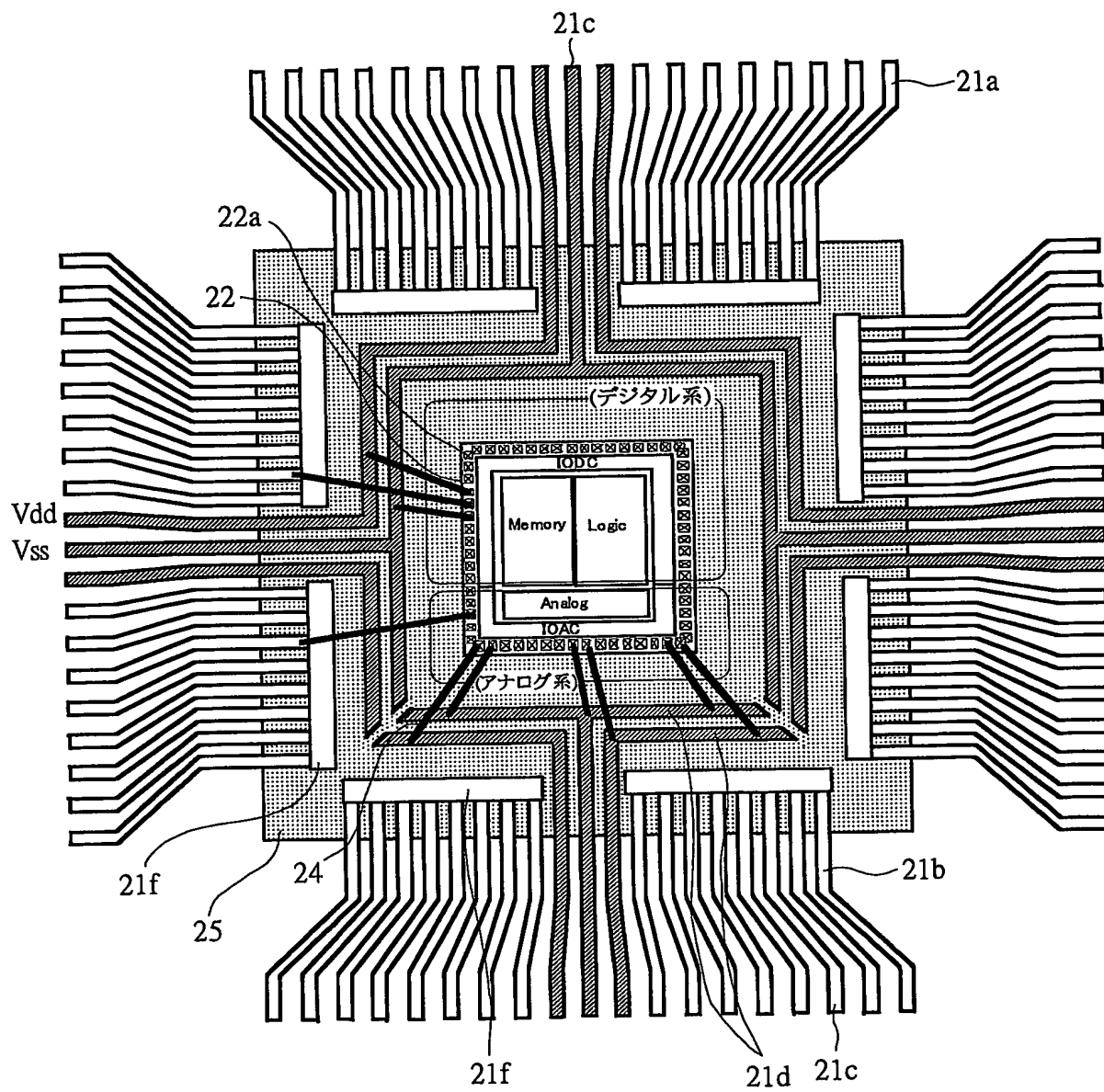


図 88



89

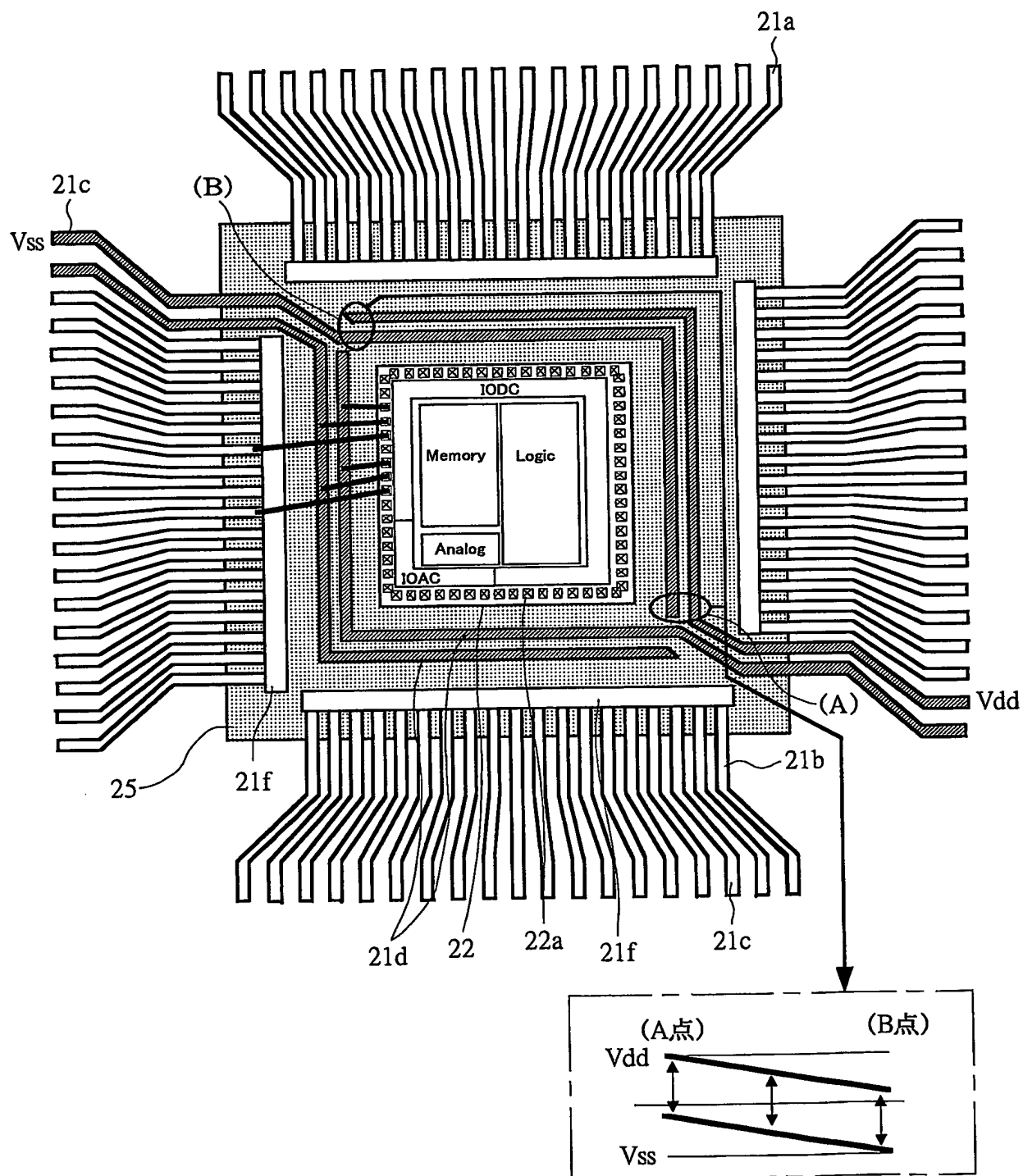


図 90

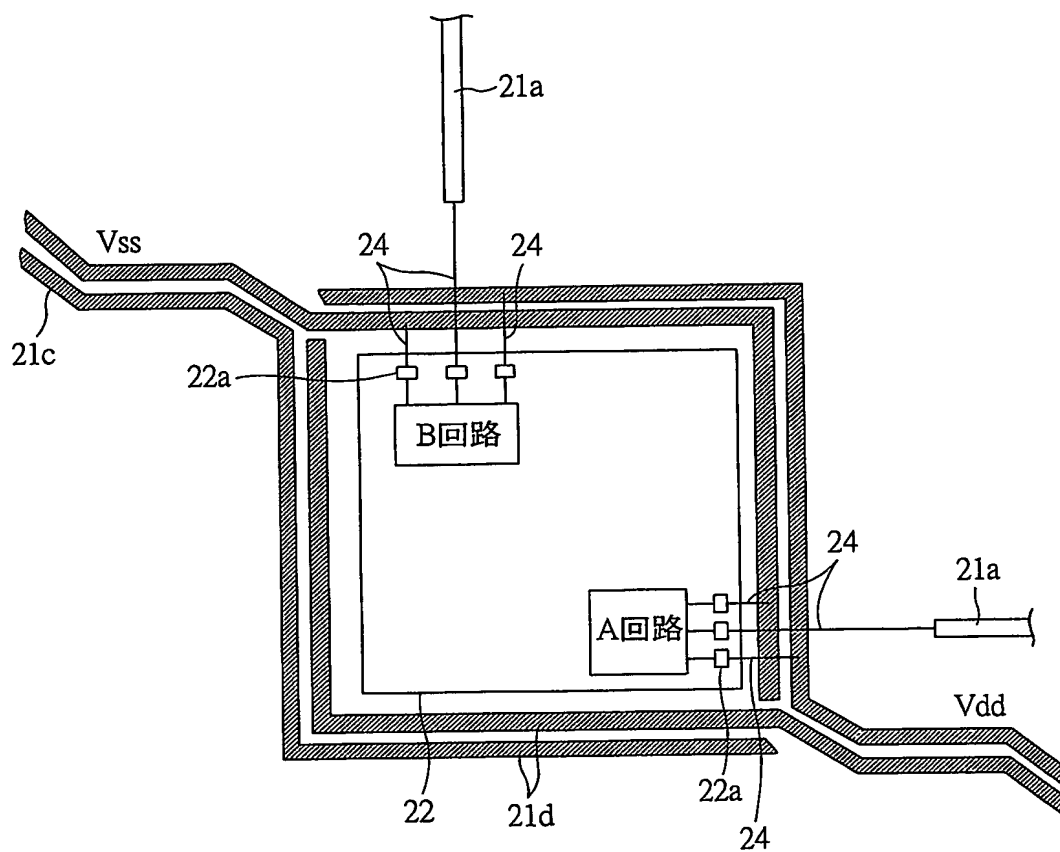


図 91

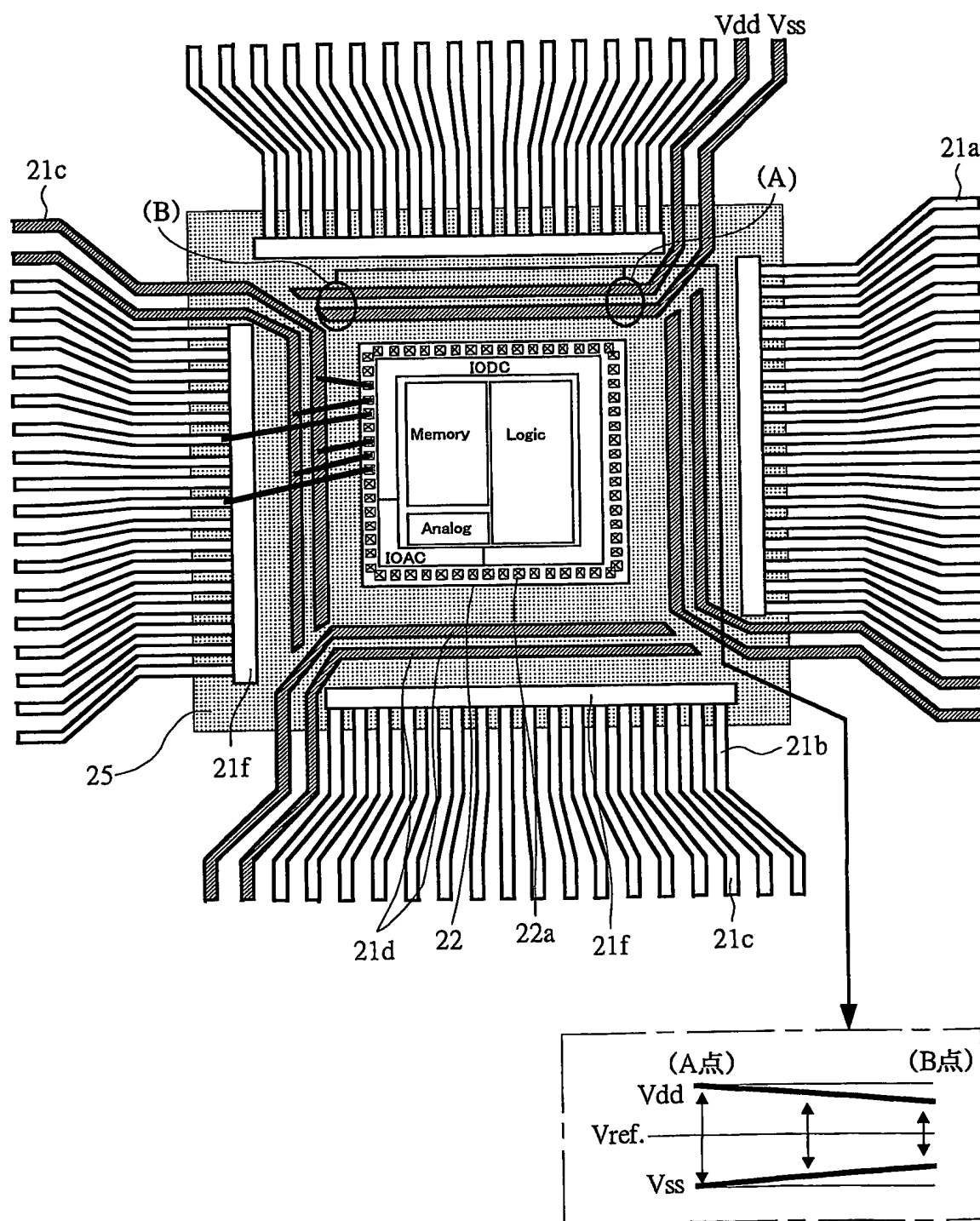
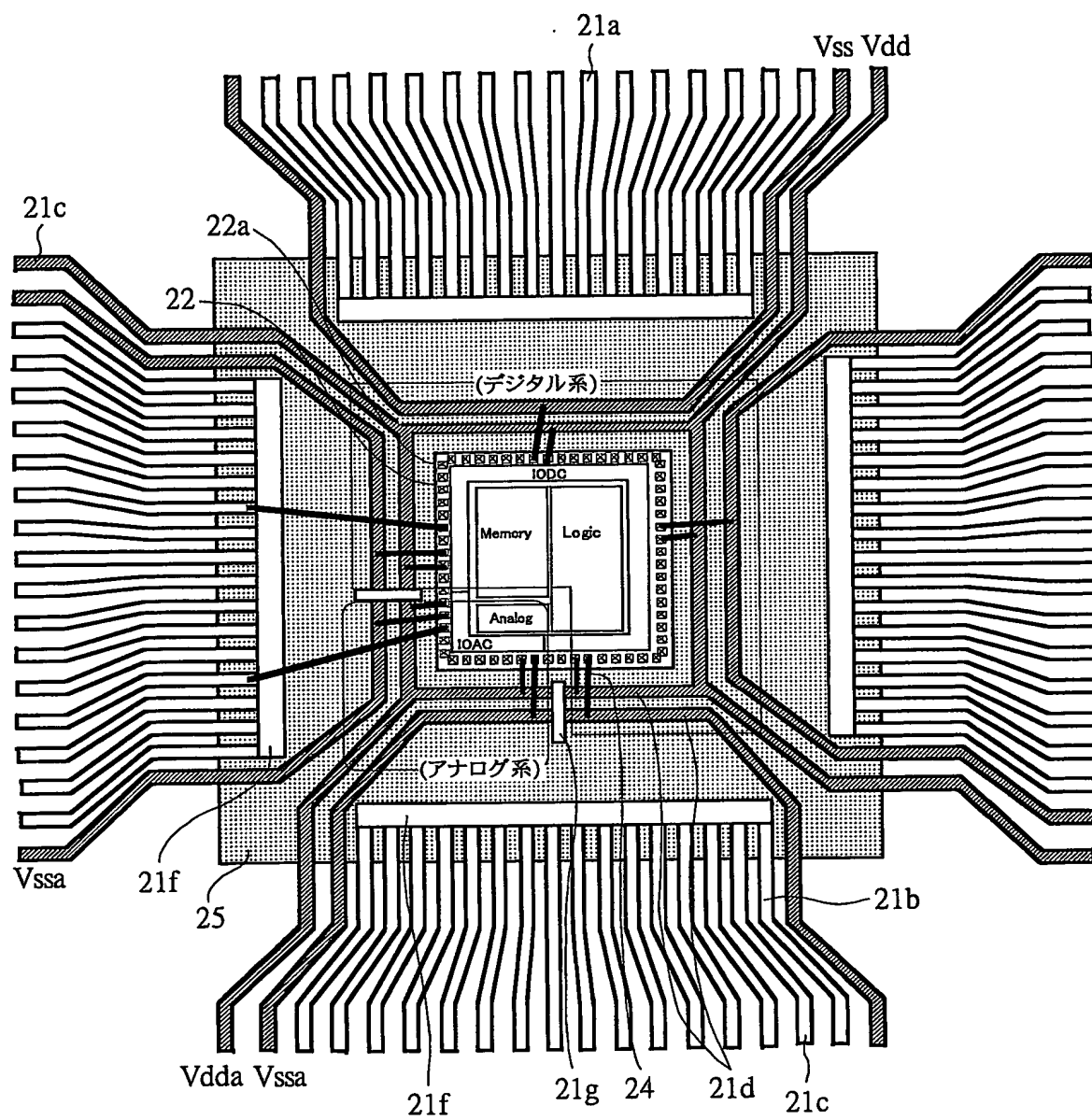


図 92



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/06151

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L23/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L23/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6396142 B1 (Hitachi, Ltd.), 28 May, 2002 (28.05.02), Column 9, lines 9 to 20; Fig. 14 & JP 2000-58735 A Par. No. [0055]; Fig. 14	1-2
X	JP 6-37131 A (Hitachi, Ltd.), 10 February, 1994 (10.02.94), Par. Nos. [0018] to [0028]; Fig. 1 (Family: none)	1-2
Y A	US 2002/0053729 A1 (Kumiko TAKIKAWA et al.), 09 May, 2002 (09.05.02), Full text; all drawings & JP 2002-76235 A	3-10 11-26, 32-39

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

<p>* Special categories of cited documents:</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p>	<p>"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>"&" document member of the same patent family</p>
--	---

Date of the actual completion of the international search
04 August, 2003 (04.08.03)

Date of mailing of the international search report
19 August, 2003 (19.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/JP03/06151

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-252328 A (Mitsubishi Electric Corp.), 09 September, 1994 (09.09.94), Par. No. [0043]; Fig. 9 (Family: none)	3-10
Y	JP 5-243472 A (NEC IC Miconsystem Kabushiki Kaisha), 21 September, 1993 (21.09.93), Par. Nos. [0011] to [0013]; Fig. 1 (Family: none)	9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06151

Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
(see extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☒ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.: 1-26, 32-39

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest ☐ The additional search fees were accompanied by the applicant's protest.
☒ No protest accompanied the payment of additional search fees.

Continuation of Box No. II of continuation of first sheet(1)

I. The inventions of claims 1-2 relate to a semiconductor device wherein the joints of inner leads and bonding wires or the joints of the inner leads and electrodes are arranged in a staggered form, the former being fixed on a circuit board via an adhesive layer.

II. The inventions of claims 3-26, 32-39 relate to a semiconductor device having a first circuit section comprising a transistor having a current path between a first potential and a second potential and a second circuit section comprising a transistor having a current path between a third potential and a fourth potential.

III. The inventions of claims 27-30 relate to a semiconductor device wherein a third pad is connected to a first busbar with a third wire passing the space between a first wire and a second wire.

IV. The invention of claim 31 relates to a semiconductor device wherein input/output pads, a first power source pad, input/output pads, and a second power source pad are arranged in this order.

V. The inventions of claims 40-43, 46-51 relate to a semiconductor device wherein an outer lead is joined to each of a pair of busbars.

VI. The inventions of claims 45-45 relate to a semiconductor device having a tape member connected to the end of each inner lead and a chip mount section.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H01L23/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H01L23/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 6396142 B1 (Hitachi, Ltd.) 2002. 05. 28, 第9欄第9-20行, FIG. 14 & JP 2000-58735 A, [0055], 図14	1-2
X	JP 6-37131 A (株式会社日立製作所) 1994. 02. 10, [0018]-[0028], 図1 (ファミリーなし)	1-2
Y A	US 2002/0053729 A1 (KUMIKO Takikawa et al.) 2002. 05. 09, 全文, 全図 & JP2002-76235 A	3-10 11-26, 32-39

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

04. 08. 03

国際調査報告の発送日

19.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

坂本 薫昭

4 R

9265

電話番号 03-3581-1101 内線 6738



C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 6-252328 A(三菱電機株式会社)1994. 09. 09, [0043], 図9 (ファミリーなし)	3-10
Y	JP 5-243472 A(日本電気アイシーマイコンシステム株式会社)1993. 09. 21, [0011]-[0013], 図1 (ファミリーなし)	9

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

特別ページ参照

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☒ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

請求の範囲1-26, 32-39
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☒ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

第II欄の続き

I. 請求の範囲1-2は、複数のインナーリードと複数のボンディングワイヤが接続する部分、もしくは、複数のインナーリードと複数の電極が接続する部分は、千鳥状に配置されており、複数のインナーリードと複数のボンディングワイヤが接続する部分は基板上に接着層を介して固定された半導体装置に関するものである。

II. 請求の範囲3-26, 32-39は、第1電位と第2電位との間に電流経路を有するトランジスタを含んで構成される第1回路部と、第3電位と第4電位との間に電流経路を有するトランジスタを含んで構成される第2回路部とを有する半導体装置に関するものである。

III. 請求の範囲27-30は、第3パッドは、第1ワイヤと第2ワイヤとの間を通過する第3ワイヤにより第1バスバーと接続されている半導体装置に関するものである。

IV. 請求の範囲31は、入出力パッド、第1電源パッド、入出力パッド、第2電源パッドの順に配列される半導体装置に関するものである。

V. 請求の範囲40-43, 46-51は、一对のバスバーそれぞれにアウターリードが連結された半導体装置に関するものである。

VI. 請求の範囲44-45は、複数のインナーリードそれぞれの先端およびチップ搭載部と接続するテープ部材を有する半導体装置に関するものである。